

### 3. Lògica dinàmica

3.1 Dissenyar la funció  $Z = \overline{A \cdot (B + C + D) + (D \cdot E \cdot F)}$  amb CMOS complementari, pseudo-nMOS i CMOS dinàmic. En el cas de pseudo-nMOS, donar la grandària dels transistors adequada per tal que funcioni correctament.

3.2 Implementar la funció  $f = A \cdot B \cdot \overline{D} + \overline{B} \cdot C + \overline{A} + \overline{B} + \overline{C}$  amb

- Portes de pas.
- Lògica CMOS np-dominó

3.3 Donada la funció  $z = \overline{(a + b) \cdot (c + d) \cdot e + f \cdot g}$  dibuixar l'esquema de transistors d'una porta complexa amb les següents famílies:

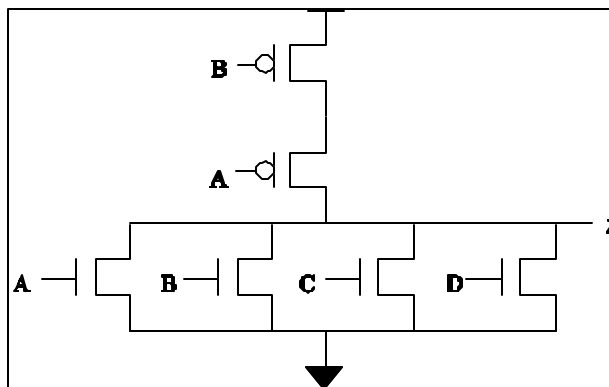
- CMOS estàtic
- CMOS dinàmic
- DCVSL

3.4 Dissenyar la següent funció en CMOS estàtic, nMOS i lògica domino. Dimensioneu els transistors de la manera que cregueu més correcta:

$$S = \overline{A + B \cdot C + D(E + F)}$$

3.5 Donada la porta de la figura, respondre a les següents preguntes:

- Quina funció realitza (suposant que els transistors estan ben dimensionats)?
- Quines haurien de ser les dimensions dels transistors per tal que la tensió a la sortida fos  $V_L = 1V$ , si  $V_{dd} = 5V$  i  $1 R_{sp} = 2 R_s$ ?
- Quin és el consum estàtic mitjà de la porta amb relació a una equivalent dissenyada amb estil pseudo-nMOS?



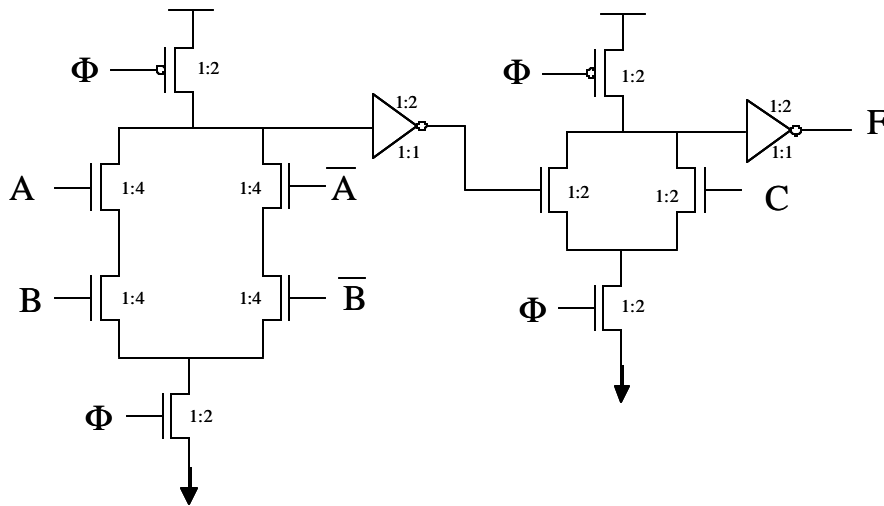
3.6 Donada la següent funció, es demana que dissenyeu un circuit format per portes N-P Domino que la realitzi, tenint en compte les següents condicions:

- Els pull-up P poden tenir com a molt cadenes de 3 transistors P en sèrie i els pulls-downs N poden tenir com a molt cadenes de 4 transistors N en sèrie (poden haver tants transistors en paral·lel o camins en paral·lel com calgui, però cada camí en sèrie pot tenir com a molt els nombre de transistors indicats per cada cas).
- Cal dimensionar els transistors de tal manera que el circuit pugui funcionar a una freqüència mínima de 15 MHz (rellotge amb semiperíodes de la mateixa duració).
- $1 R_{sp} = 2 R_s$ ,  $1 \tau = 1.3 \text{ ns}$ ,  $CL = 30 C_g$

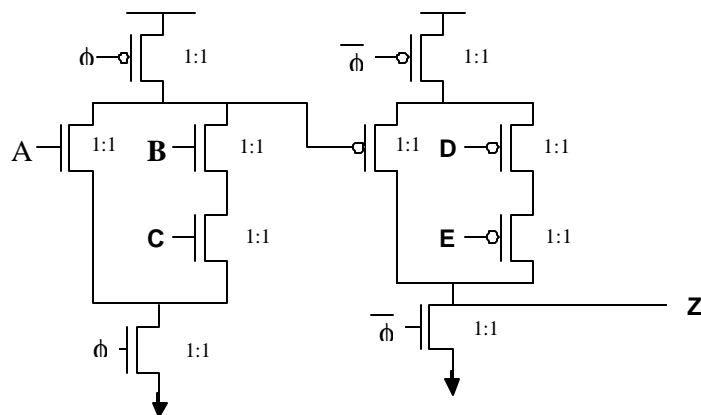
$$f = \overline{(A \cdot B \cdot C + D)} \cdot \overline{(A \cdot C + B \cdot D)}$$

3.7 Donat el circuit de la figura, es demana:

- Quina funció realitza?
- En quin tipus de lògica està implementat?
- Determinar el retard per totes les combinacions de les entrades, si la capacitat de sortida al node F és de  $40C_g$  (considereu que  $1R_{sp} = 2R_s$ ).

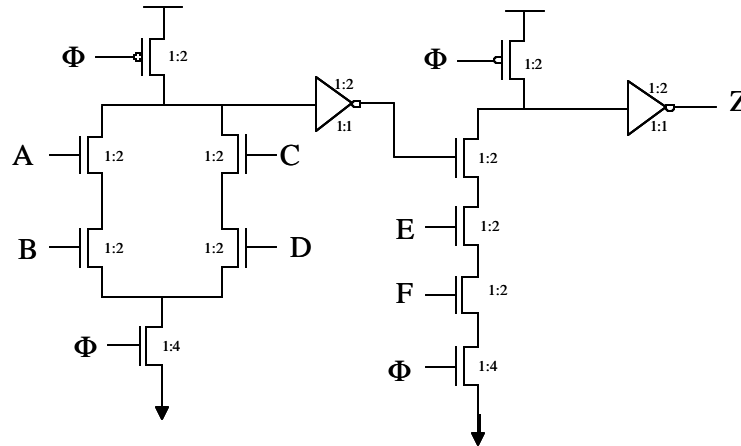


3.8 Donat el circuit de la figura, es demana:



- Quina funció realitza?
- En quina família lògica està realitzada?
- A quina freqüència màxima podria anar el senyal  $\phi$  per tal que el circuit funcionés correctament tenint en compte que  $\phi$  és un senyal de rellotge simètric (els dos semiperíodes tenen la mateixa duració)? Considereu que  $1R_{sp} = 2R_s$  i que la capacitat a la sortida Z són  $30C_g$ .

3.9 Donat el circuit de la figura, es demana:



- Quines funcions realitza?
- En quina família lògica està dissenyada?
- A quina freqüència màxima podria anar el senyal  $\Phi$  per tal que el circuit funcionés correctament tenint en compte que  $\Phi$  és un senyal de rellotge asimètric (els dos semiperíodes tenen diferent durada)? Considereu que  $1R_{sp} = 2R_s$ , capacitat a la sortida Z  $C_L = 30C_g$  i  $1\tau = 9,71 \cdot 10^{-12}$  s.
- Calculeu el consum dinàmic de potència de les dues portes a la freqüència màxima que heu calculat a l'apartat anterior, si  $1C_g = 2,49$  fF i  $V_{dd} = 3,3$  V.

3.10 Donat el circuit de la figura, es demana:

- Quines funcions realitza?
- En quina família lògica està dissenyada?
- A quina freqüència màxima podria anar el senyal  $\Phi$  per tal que el circuit funcionés correctament tenint en compte que  $\Phi$  és un senyal de rellotge asimètric (els dos semiperíodes tenen diferent duració)? Considereu que  $1R_{sp} = 2R_s$ .
- Caracteritzeu la porta anterior, donant: capacitat a les entrades, retard intern de les sortides i retard dependent de la capacitat a les sortides.

3.11 Donada una funció lògica en la que la primera etapa calcula les següents funcions:

$$f1 = \overline{a + b \cdot c}$$

$$f2 = \overline{x(y + z)}$$

i la segona etapa:

$$g = \overline{f1 \cdot f2}$$

Es demana:

- Dissenyeu els esquemàtics d'aquesta funció amb lògica NORA-CMOS.
- Quin problema podríem tenir si la dissenyessim amb lògica dinàmica? Dona un exemple de mal funcionament.