Tecnología CMOS.
Diseño de lógica dinámica

Enrique Pastor Llorens
Rosa M. Badia

Agost 2001

Disseny Bàsic VLSI

Departament d'Arquitectura de Computadors
Universitat Politècnica de Catalunya

Estructuras Dinámicas MOS

La utilización de estructuras estáticas CMOS es interesante de cara a facilitar el diseño y reducir el consumo, pero supone un incremento de los retardos y el área.

Las estructuras dinámicas se utilizan para acelerar los cálculos y a la vez reducir el número de transistores requeridos.

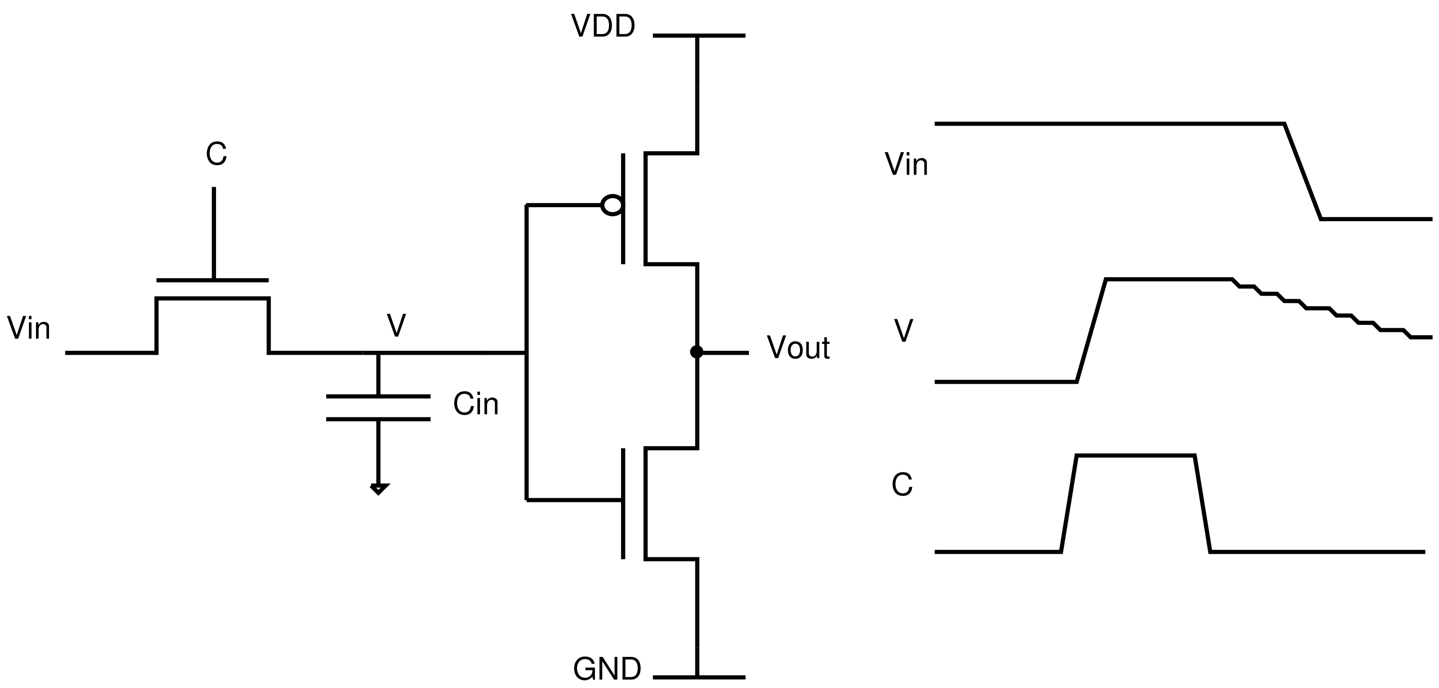
Tipos de tecnología:

- Pass transistor.
- Pseudo nMOS Logic.
- Dynamic CMOS Logic (precharge-evaluate).
- NORA CMOS Logic (NP).
- Domino CMOS Logic.
- Clocked CMOS Logic (C^2MOS).
- CVSL Logic (Cascade voltage switch logic).

Estructuras Dinámicas MOS

Principios de funcionamiento:

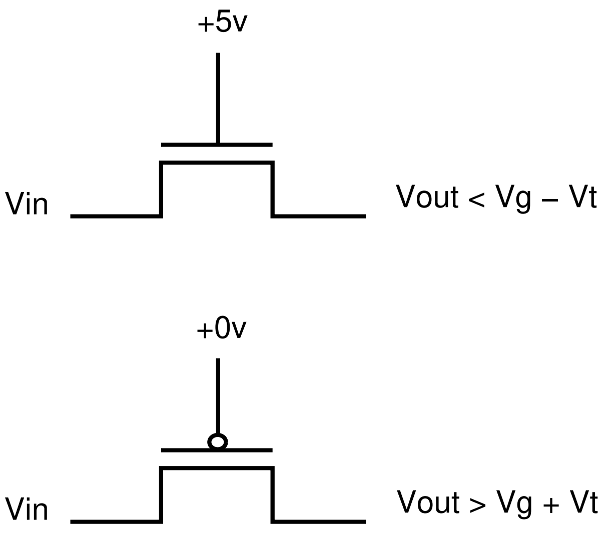
La tecnología dinámica se basa en la utilización de las capacidades parásitas (capacidades de puerta) para almacenar temporalmente valores:

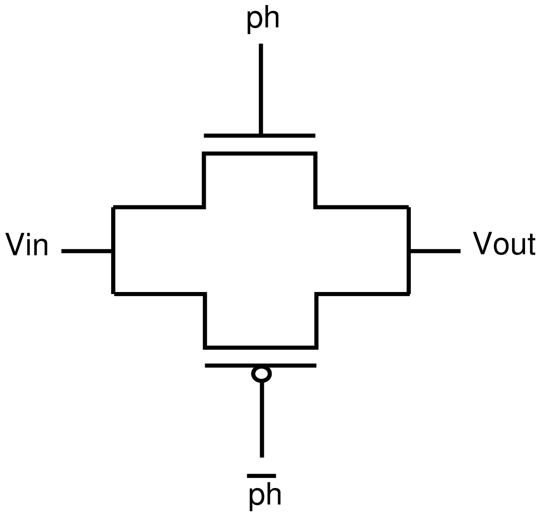


Pass Transistor Logic

Principios de funcionamiento:

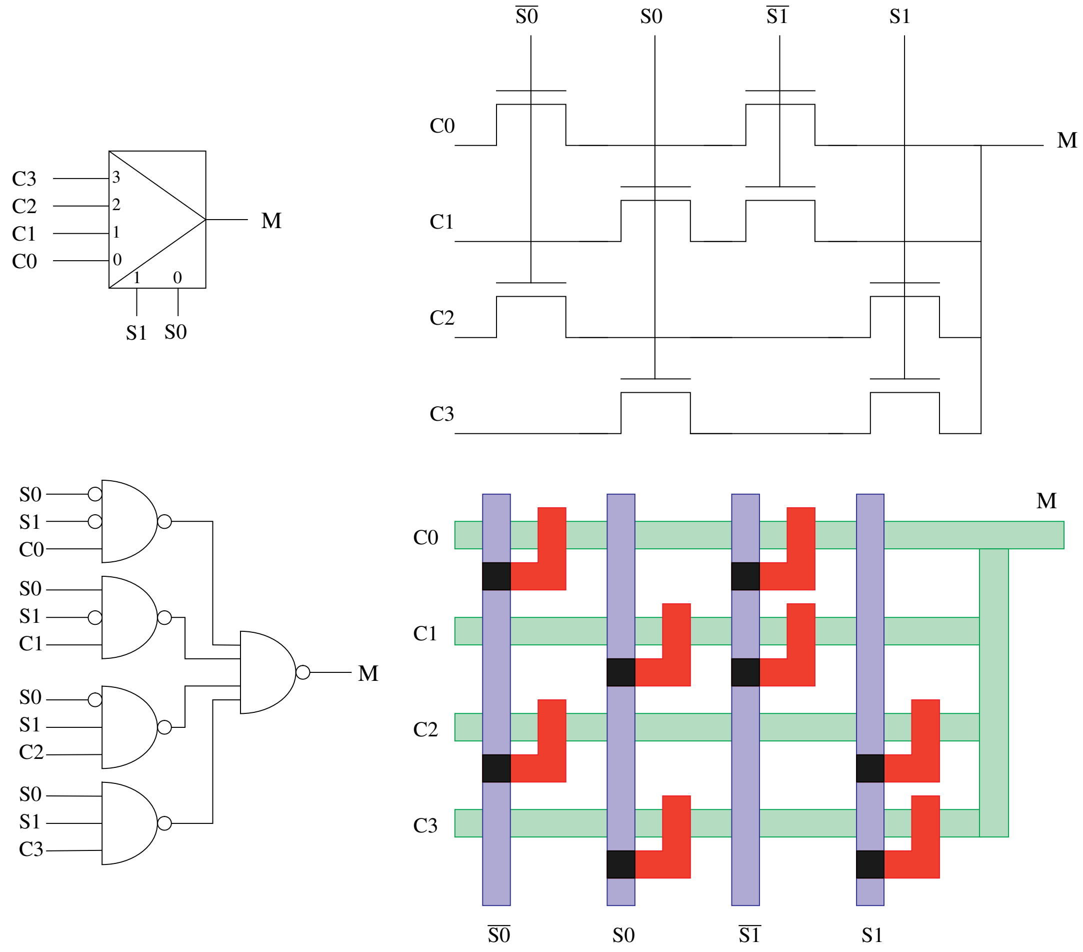
Los transistores se utilizan como interruptores puros, es decir, no se crean estructuras de pull-up y pull-down.





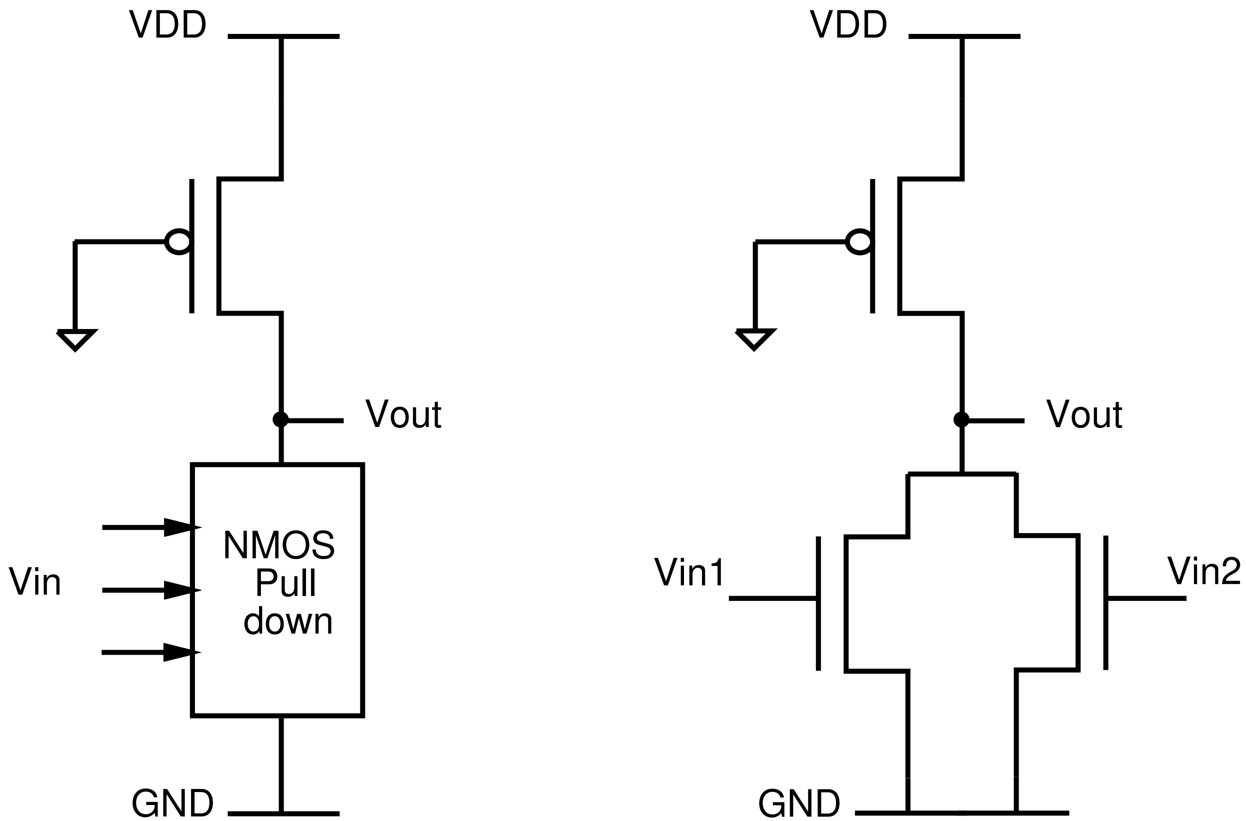
Pass Transistor Logic

Diseño de un multiplexor:



Pseudo NMOS

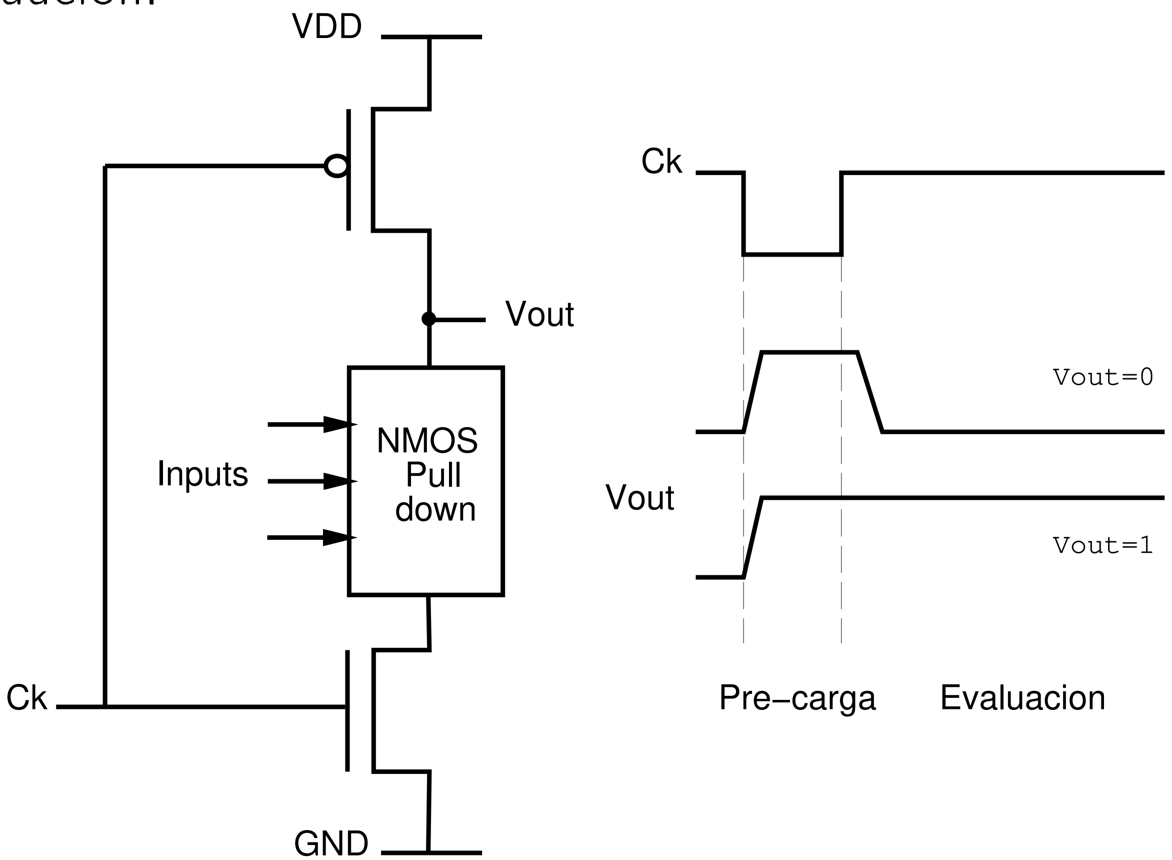
El transistor NMOS de deplexión se substituye por un transistor PMOS.



CMOS Dinámico

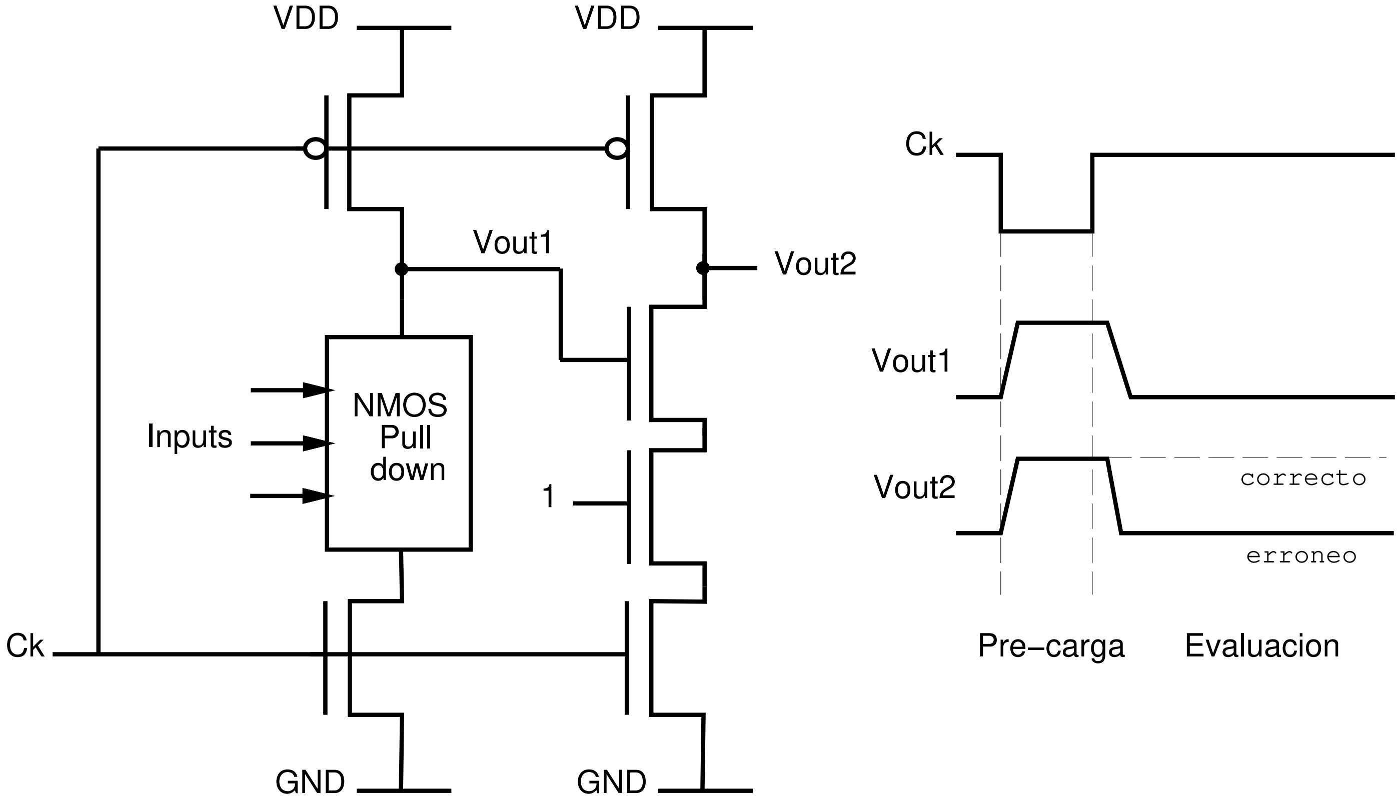
El funcionamiento de la puerta se divide en dos fases:

- Pre-carga.
- Evaluación.



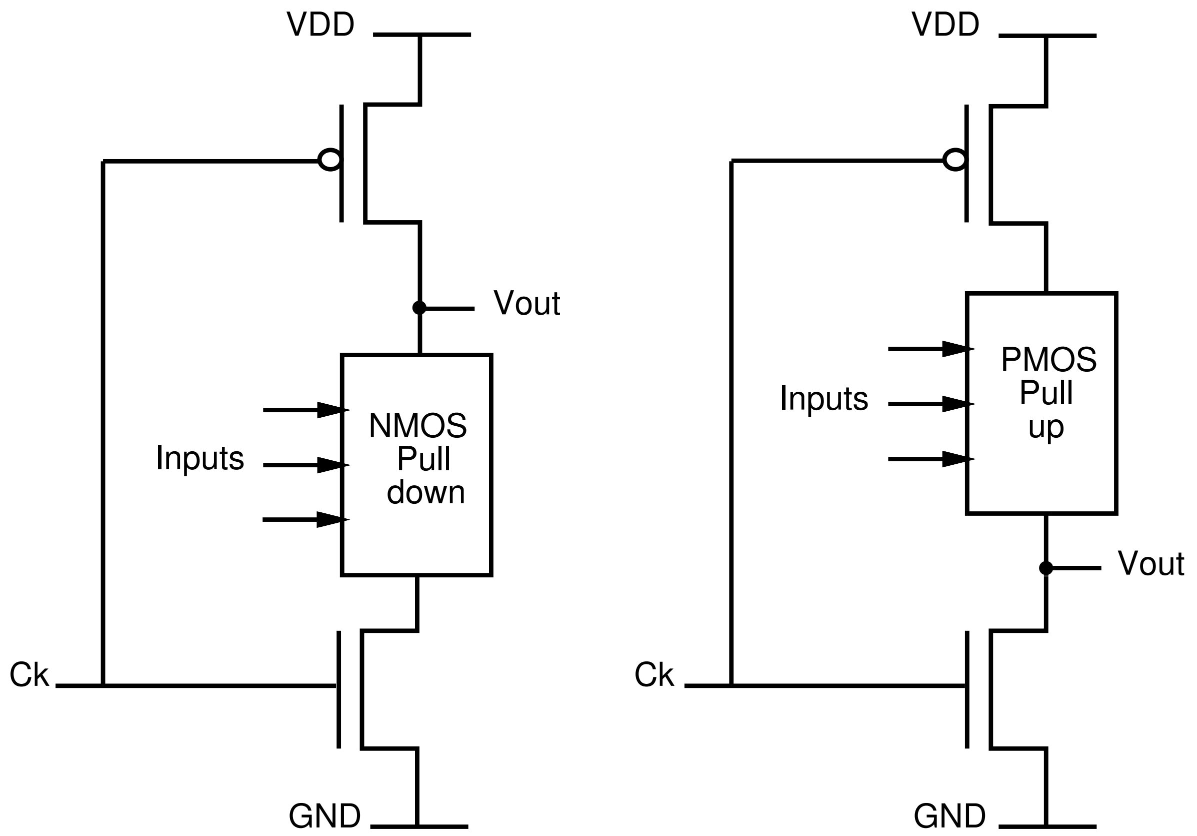
CMOS Dinámico

El encadenamiento produce una descarga no deseada en la fase de evaluación.

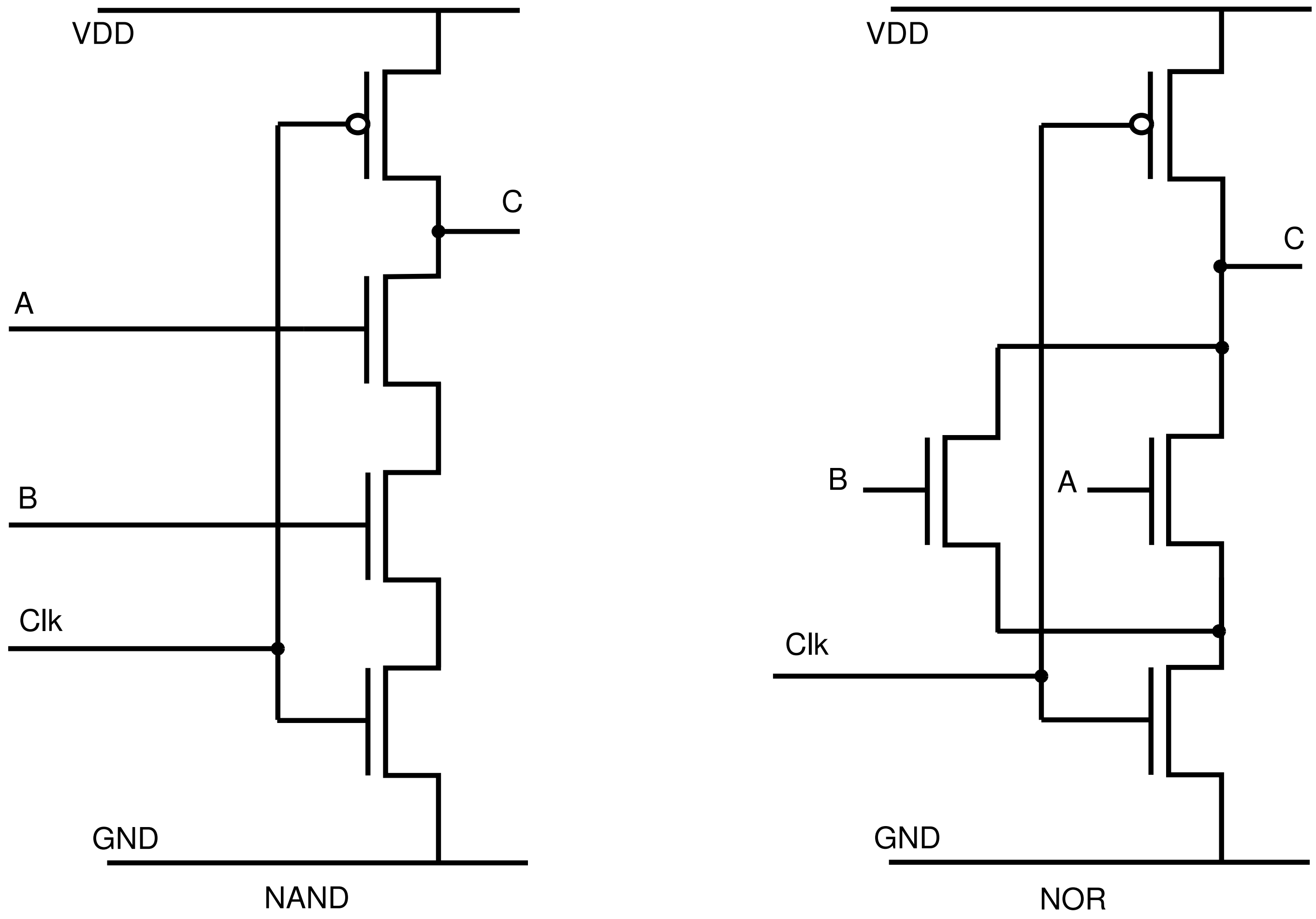


CMOS Dinámico

Se pueden crear puertas CMOS dinámicas tanto con función NMOS en el pull-down como función PMOS en el pull-up.

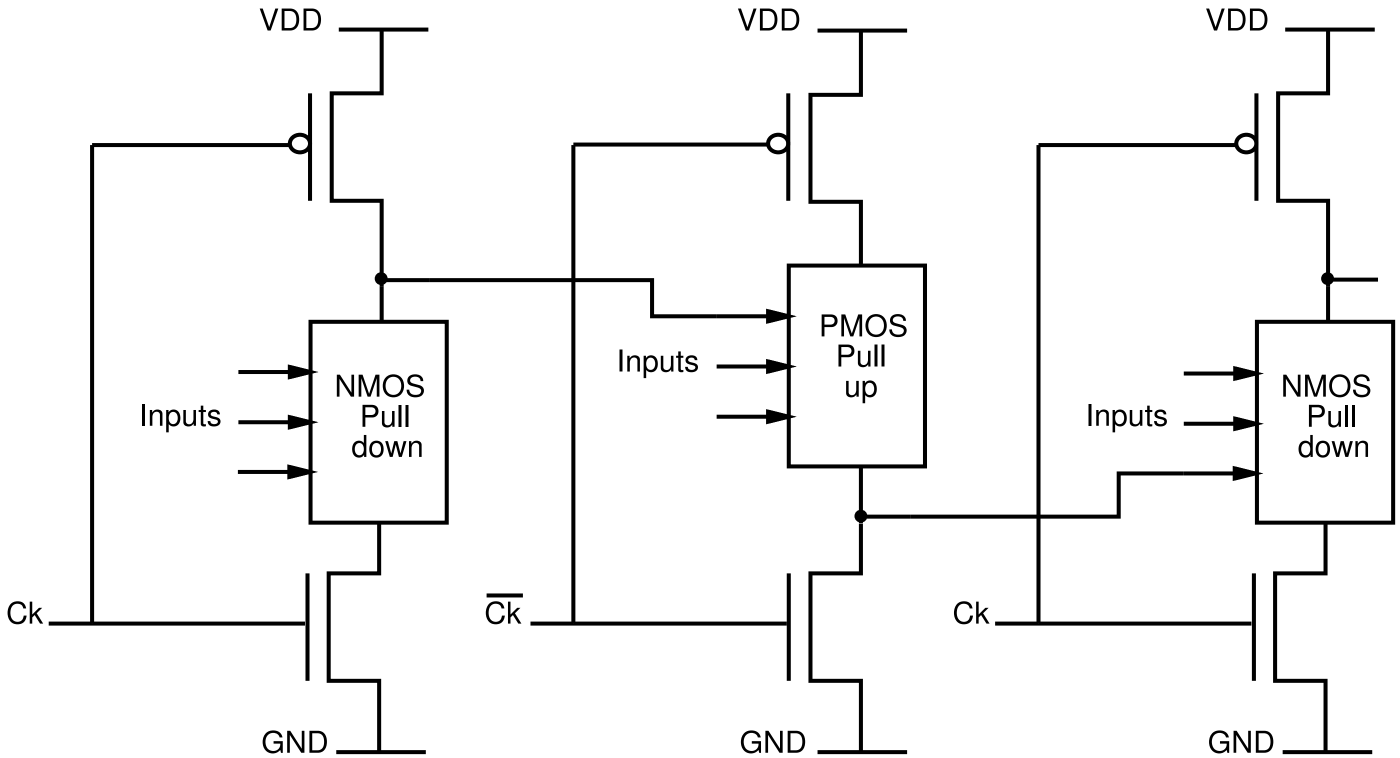


Estructuras Dinámicas CMOS



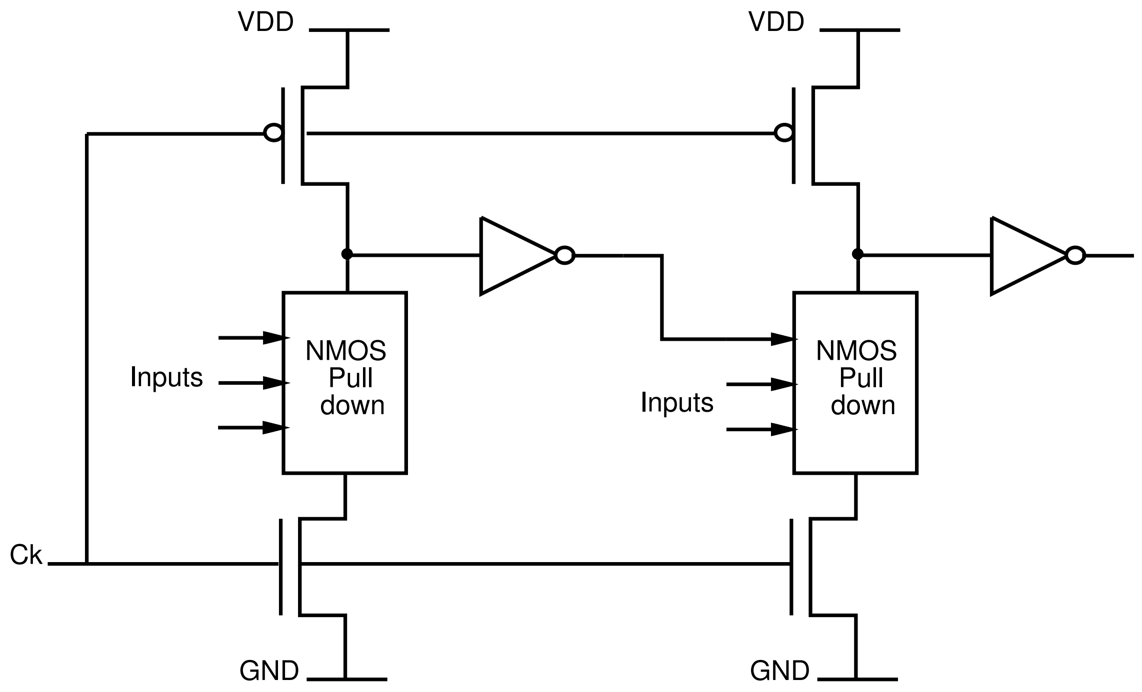
NORA CMOS (NP)

Se pueden crear puertas CMOS dinámicas juntando una etapa con pull-down PMOS y la siguiente con pull-down NMOS.



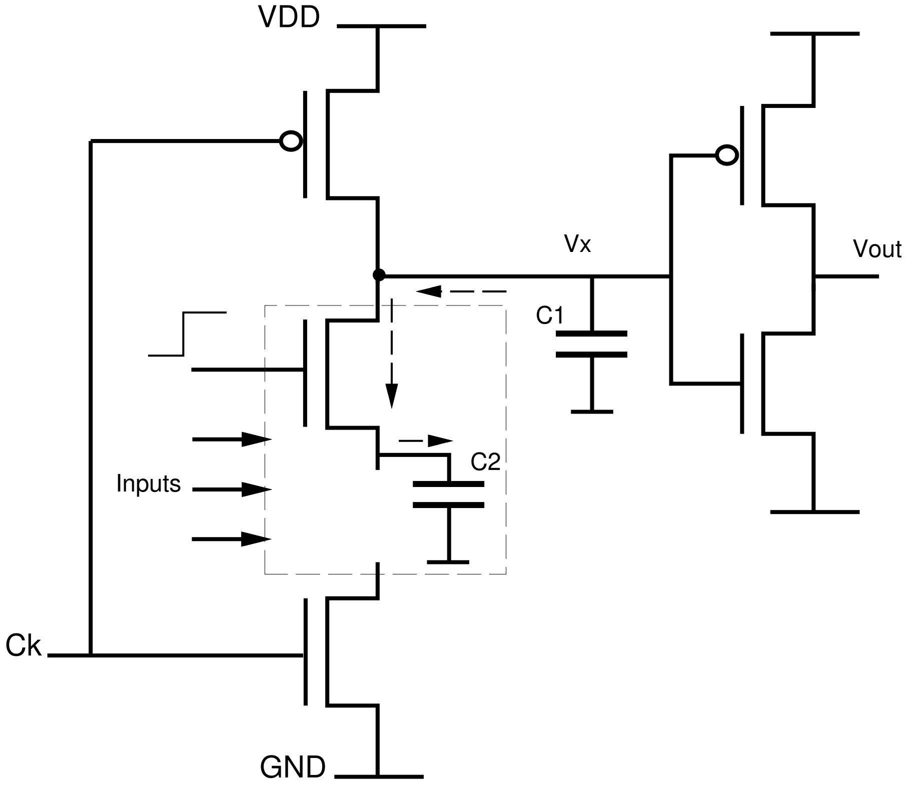
Domino CMOS

Se añade un inversor a la salida de la puerta para evitar activar la siguiente etapa.



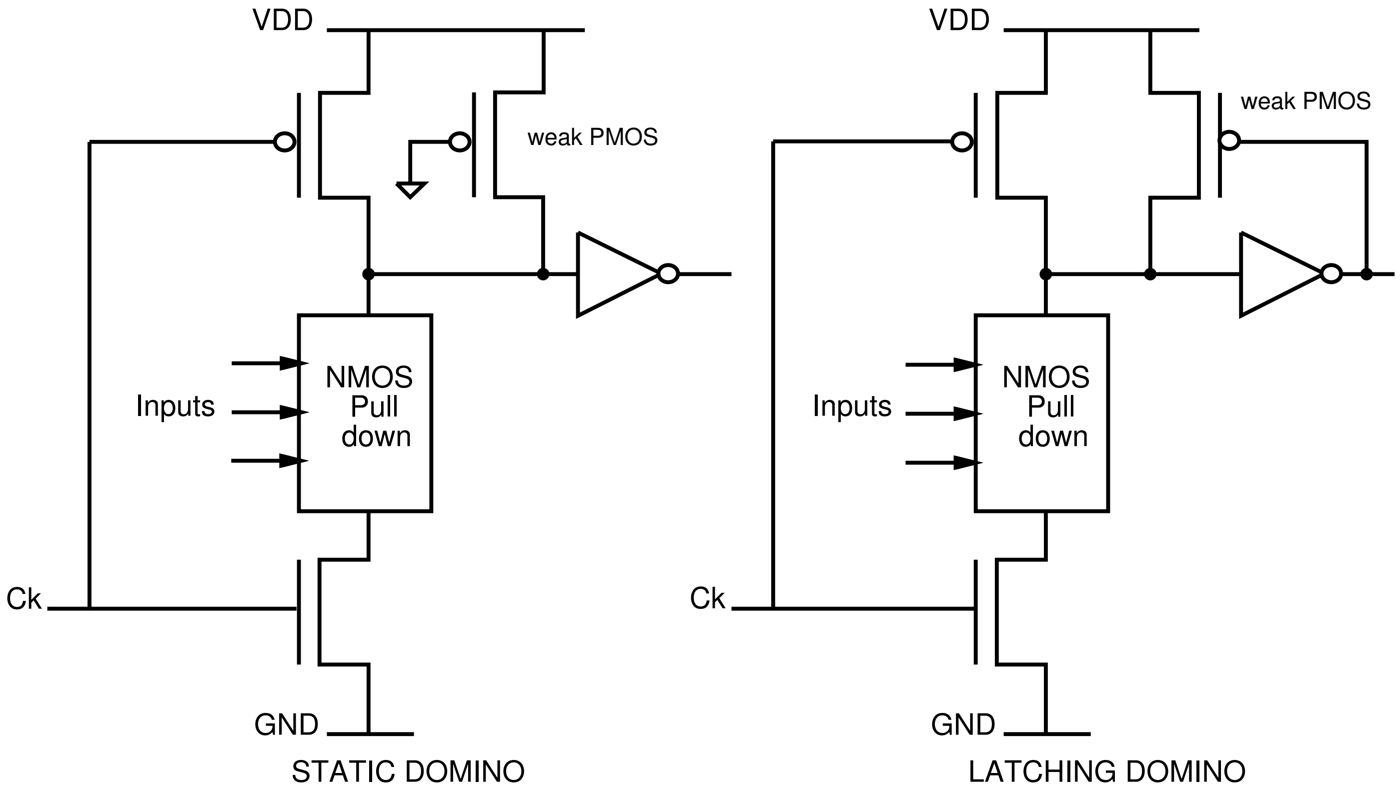
Domino CMOS

Esta estructura puede producir redistribución de la carga entre $C1$ y $C2$ durante la fase de evaluación. Esto reduciría el nivel del voltaje de salida.



Domino CMOS

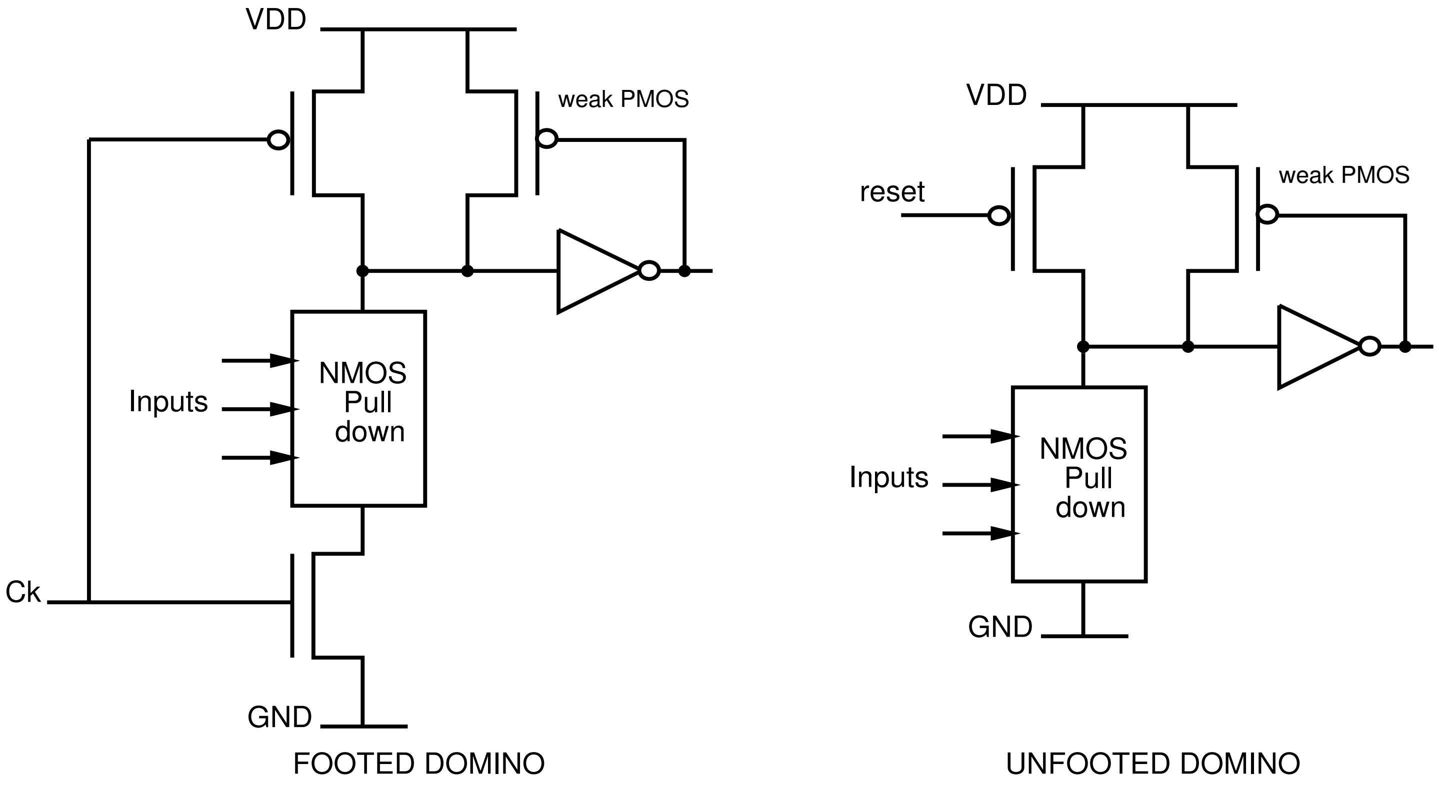
Estructuras para mejorar el rendimiento de las puertas Domino CMOS.



Domino CMOS

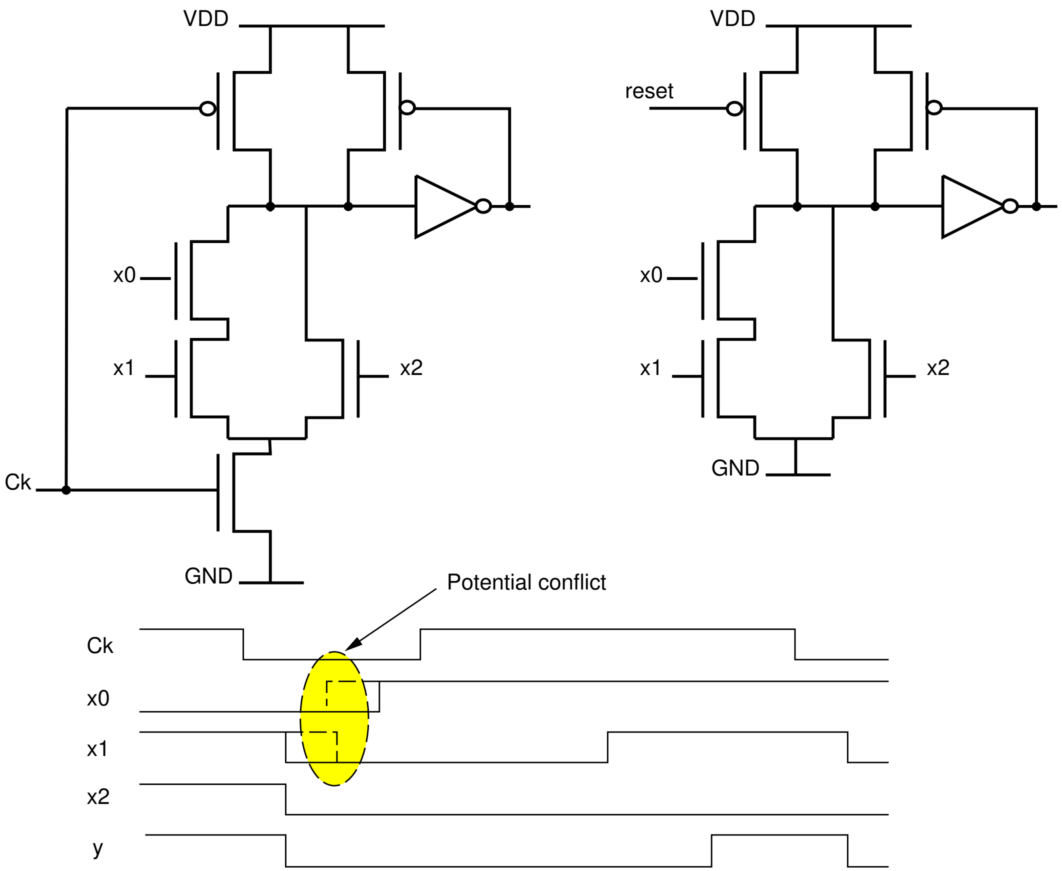
Footed vs. Unfooted Domino CMOS.

Unfooted Domino es un 10% más rápido y ocupa menos área.



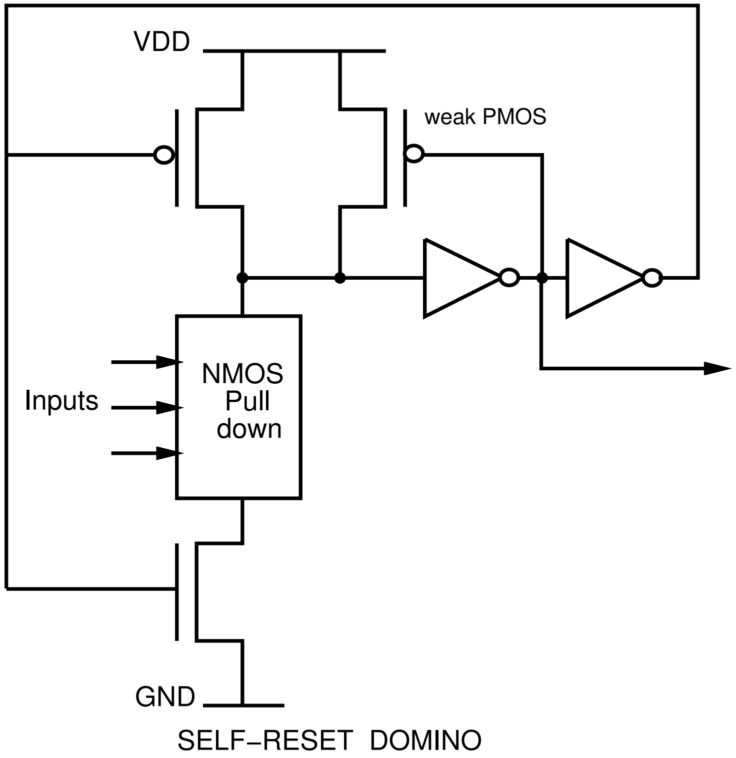
Domino CMOS

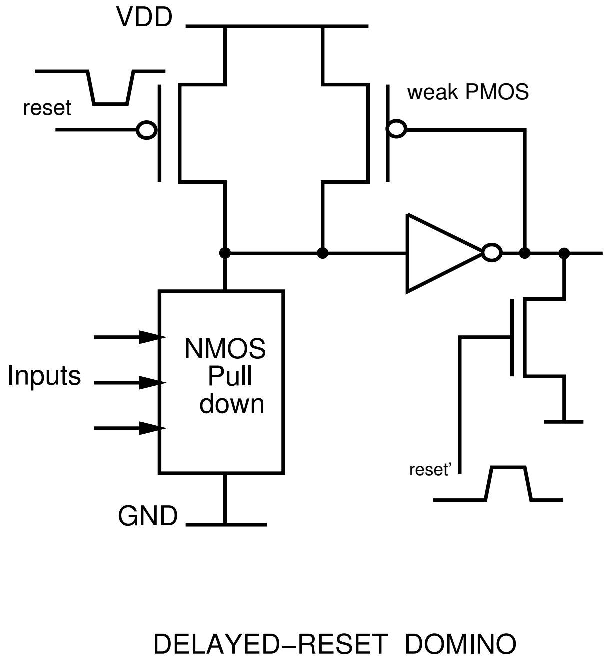
Unfooted domino es más restrictivo en el orden de llegada de las señales.



Domino CMOS

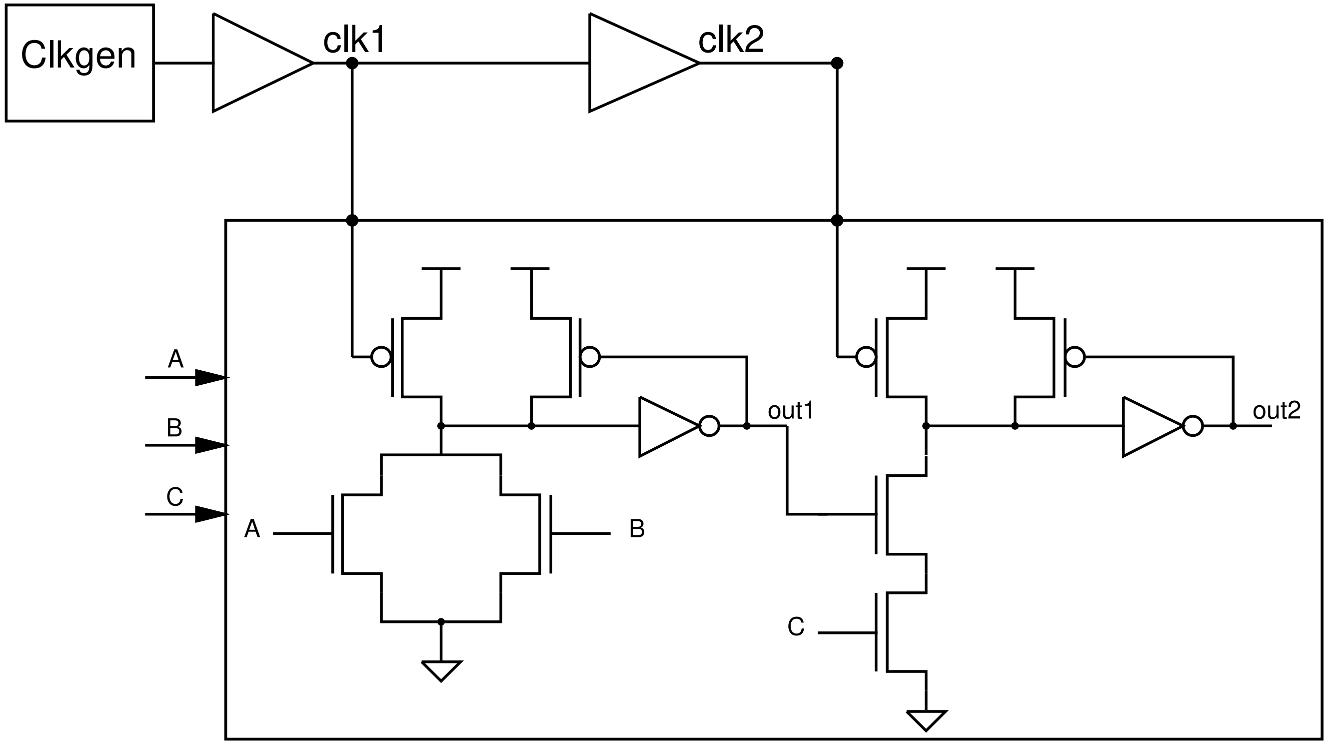
Variaciones en el reset: SELF-RESET y DELAYED-RESET





Domino CMOS

Delayed-reset utilizando unfooted domino.

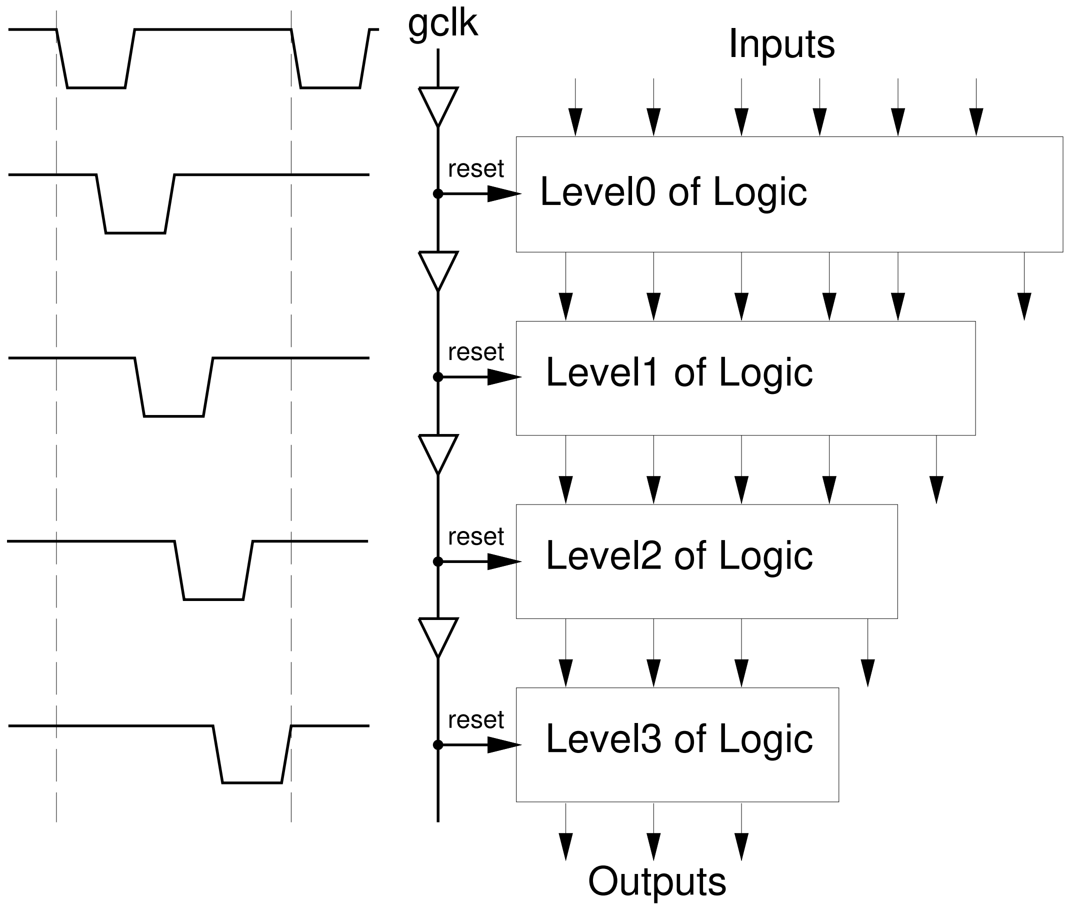


Señales de reset deben solaparse en la fase de ejecución.

Recomendable, pero no necesario que se solapen las entradas.

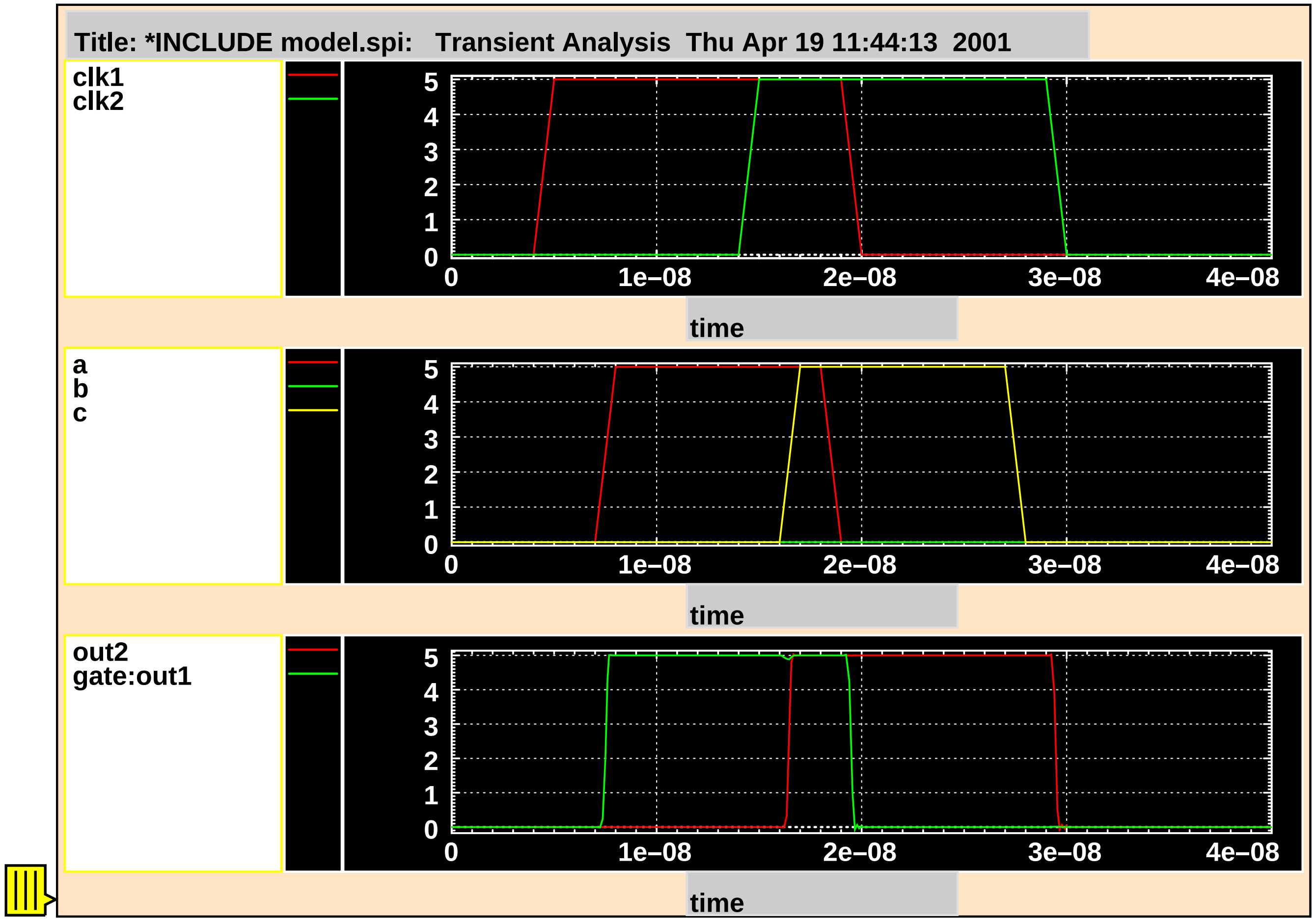
Domino CMOS

Estructura de un circuito delayed-reset domino.



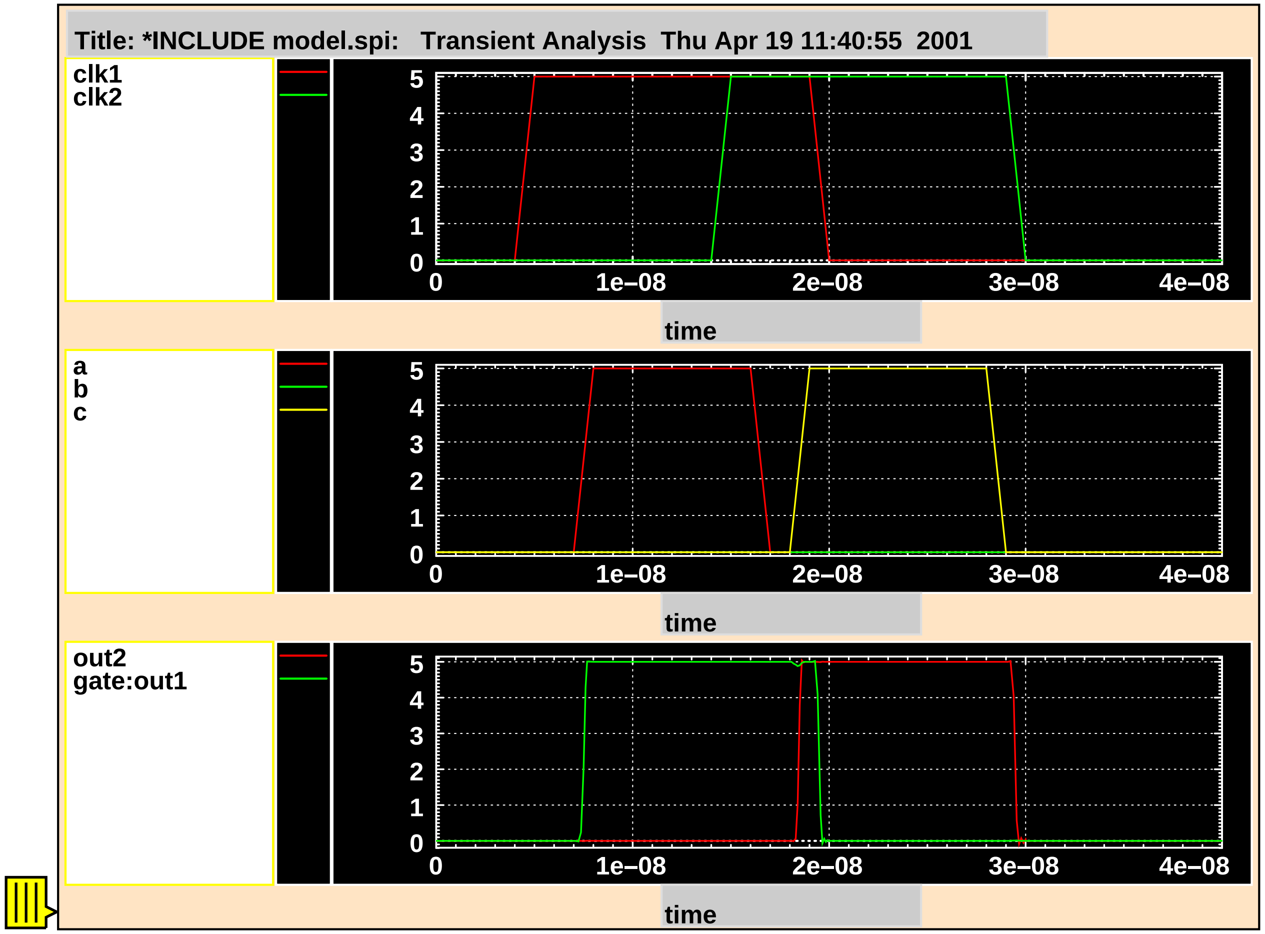
Domino CMOS

Simulación con tiempos de propagación solapados:



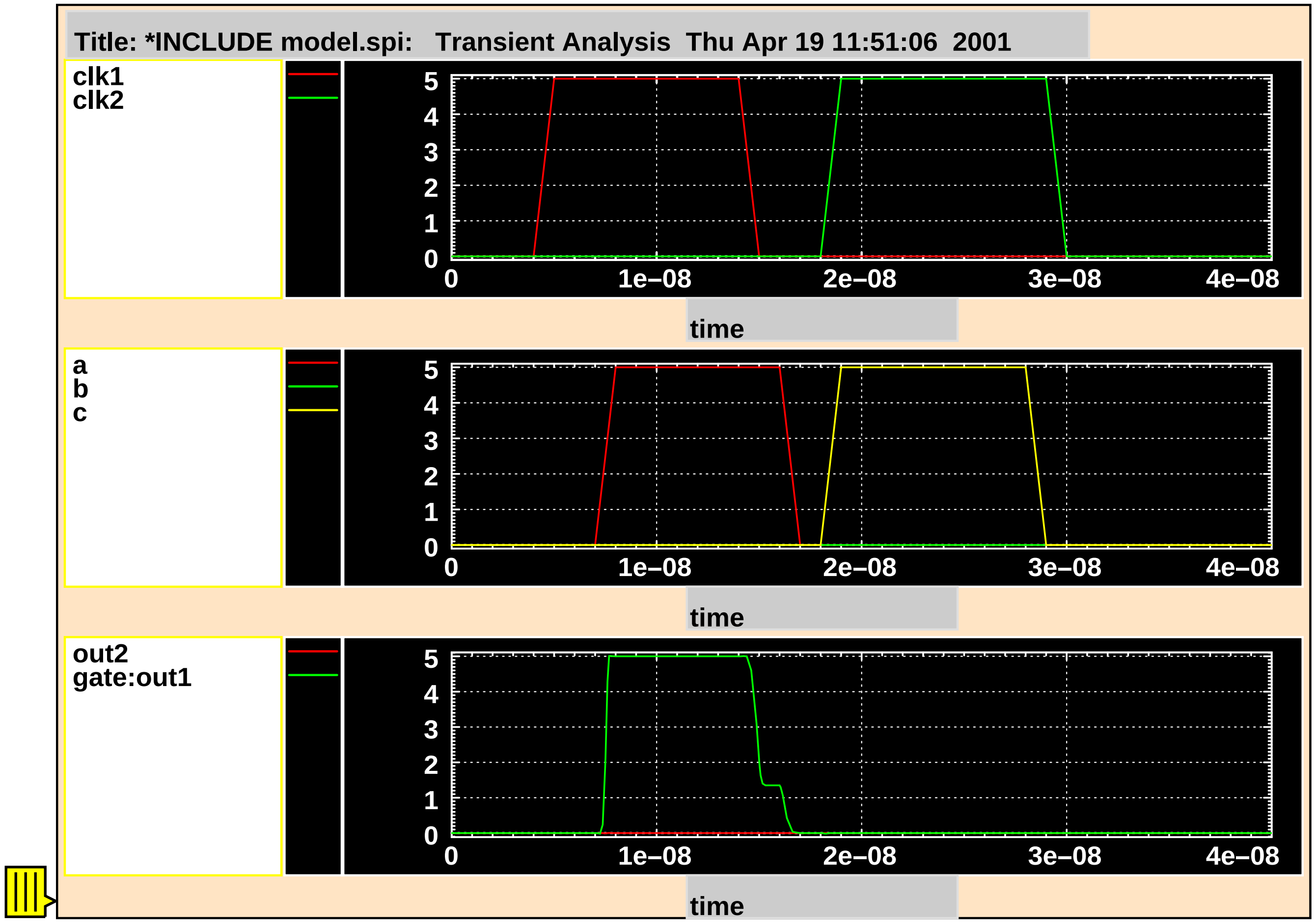
Domino CMOS

Simulación con entradas NO solapadas:



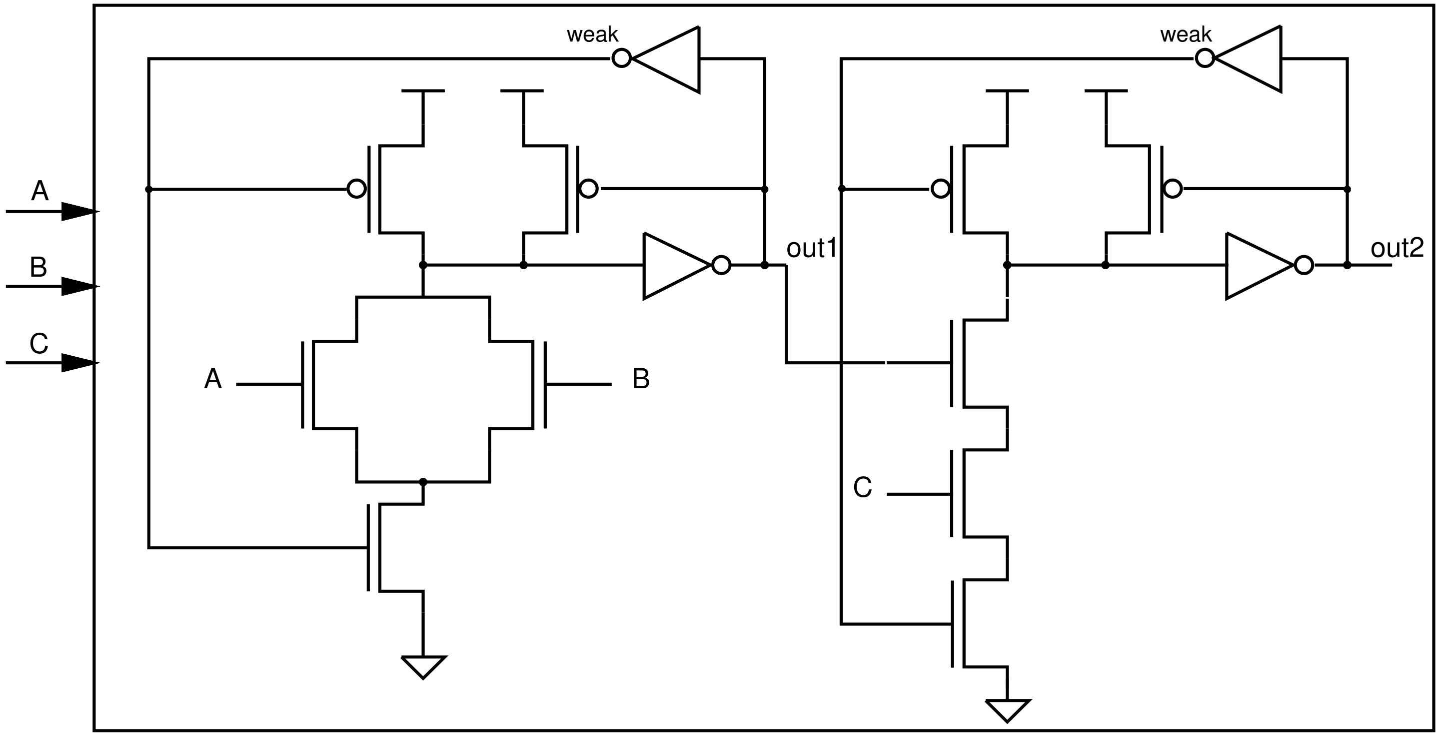
Domino CMOS

Simulación con tiempos de propagación NO solapados:



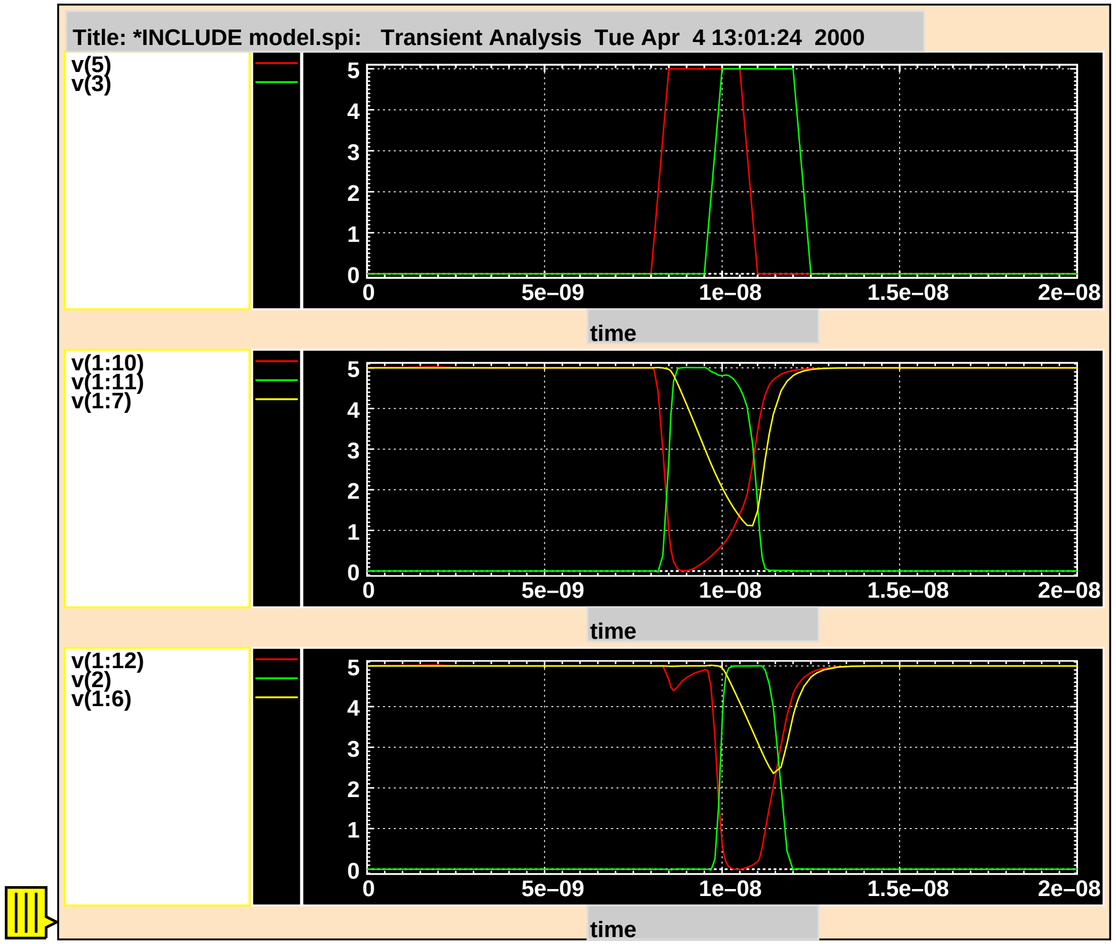
Domino CMOS

Self-reset utilizando footed domino.



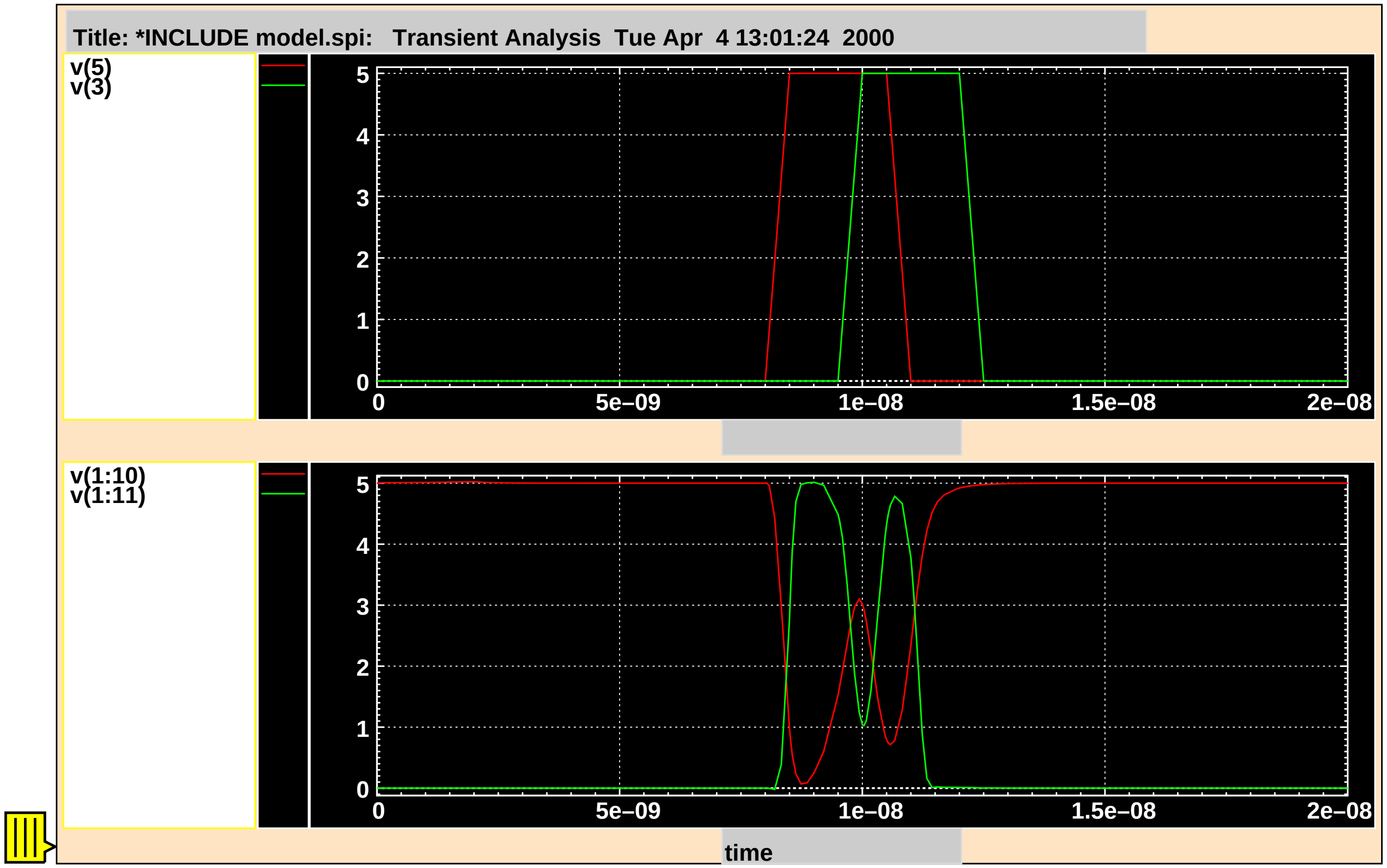
Domino CMOS

Dimensión correcta (weak) del inversor:



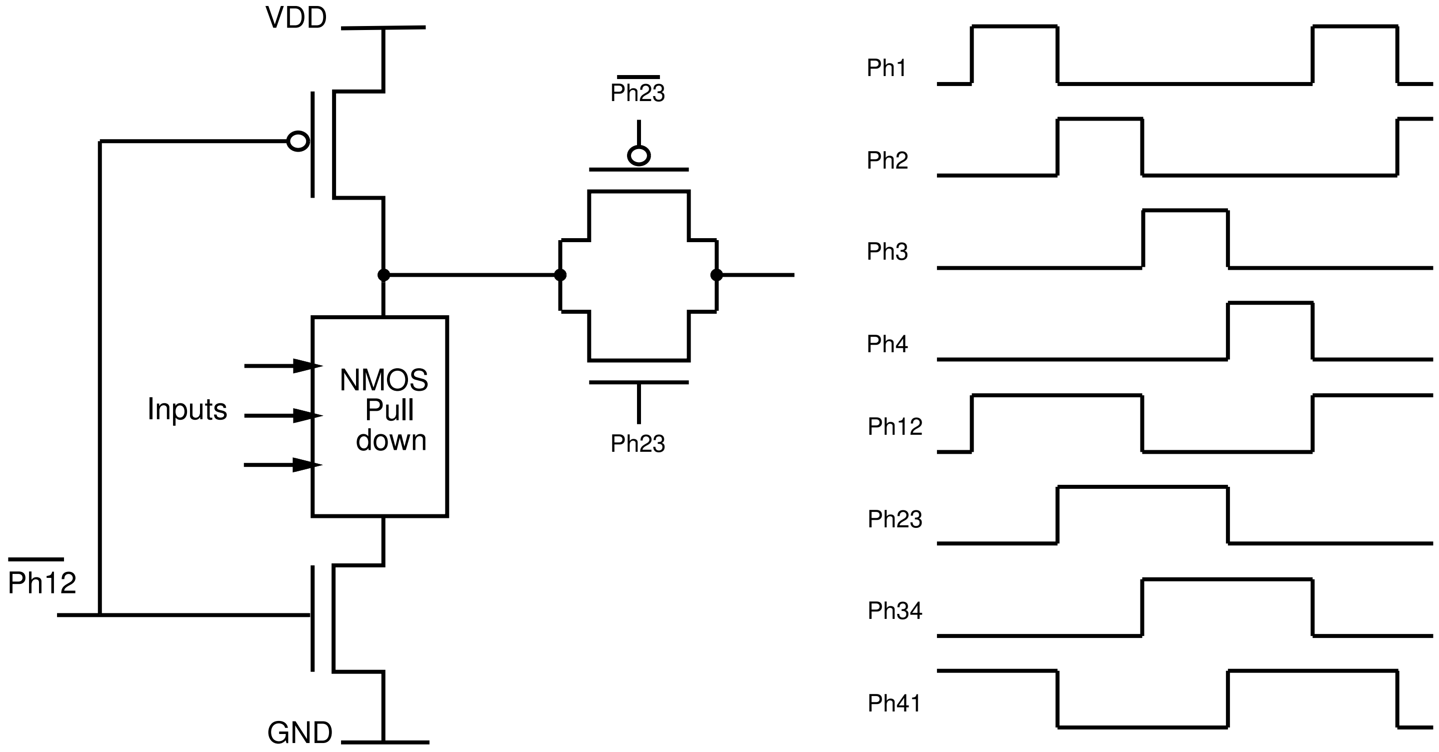
Domino CMOS

Dimensión incorrecta (normal) del inversor:



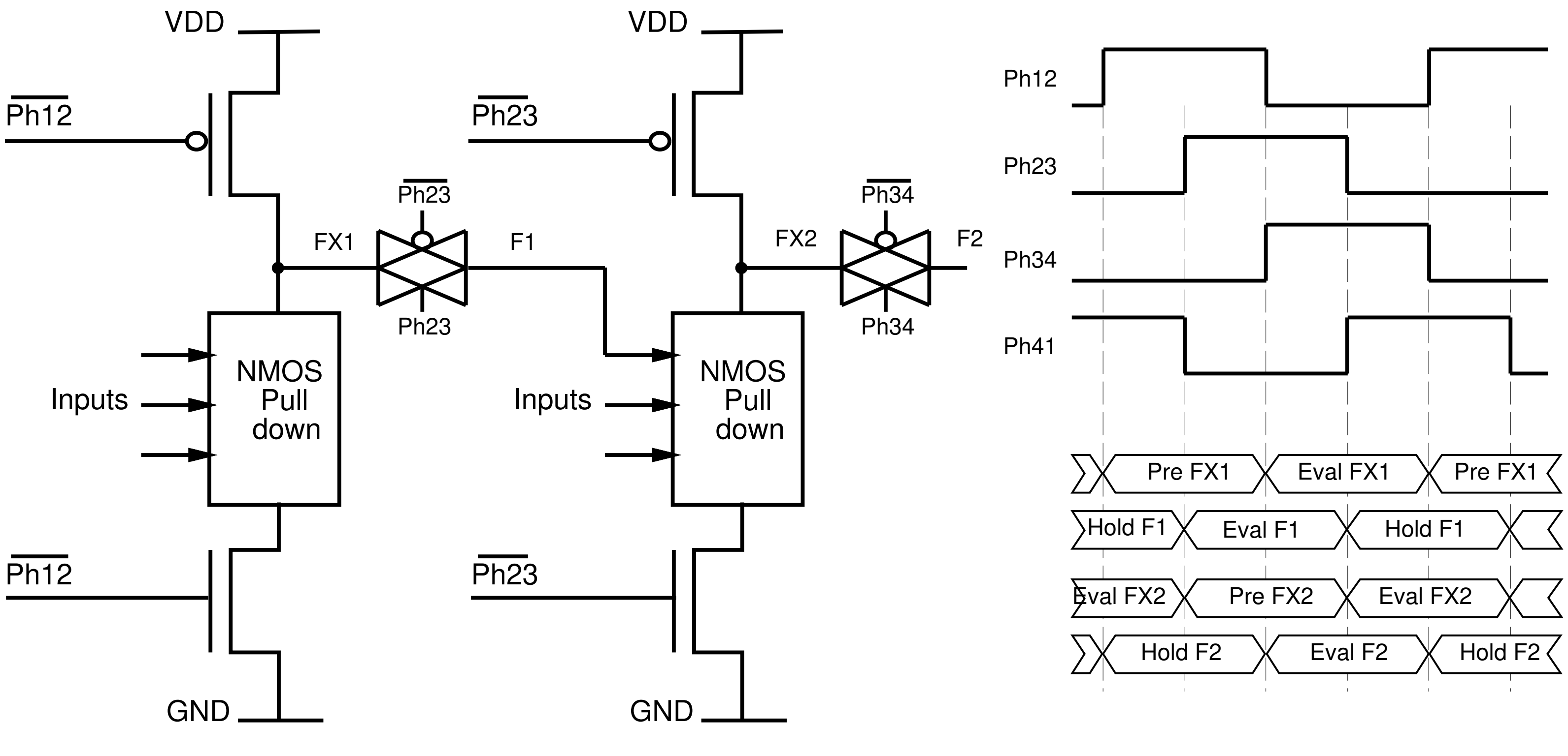
CMOS Dinámico Multi-fase

Se utilizan cuatro fases para crear un pipeline en la evaluación de las puertas. Se utiliza una puerta de paso para controlar la interconexión.



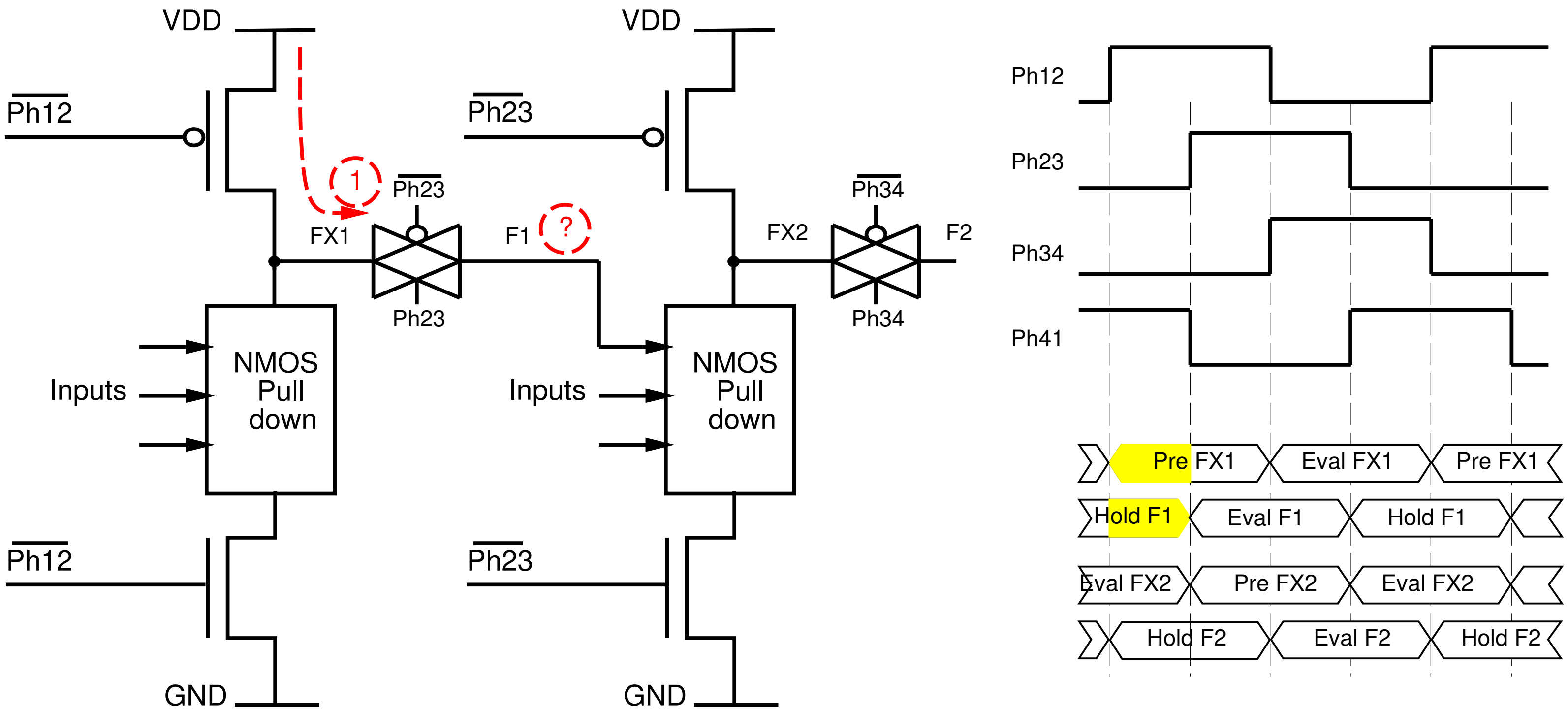
CMOS Dinámico Multi-fase

La evaluación de una etapa y la transferencia de datos de una etapa a la siguiente se realiza en cuatro -fases.



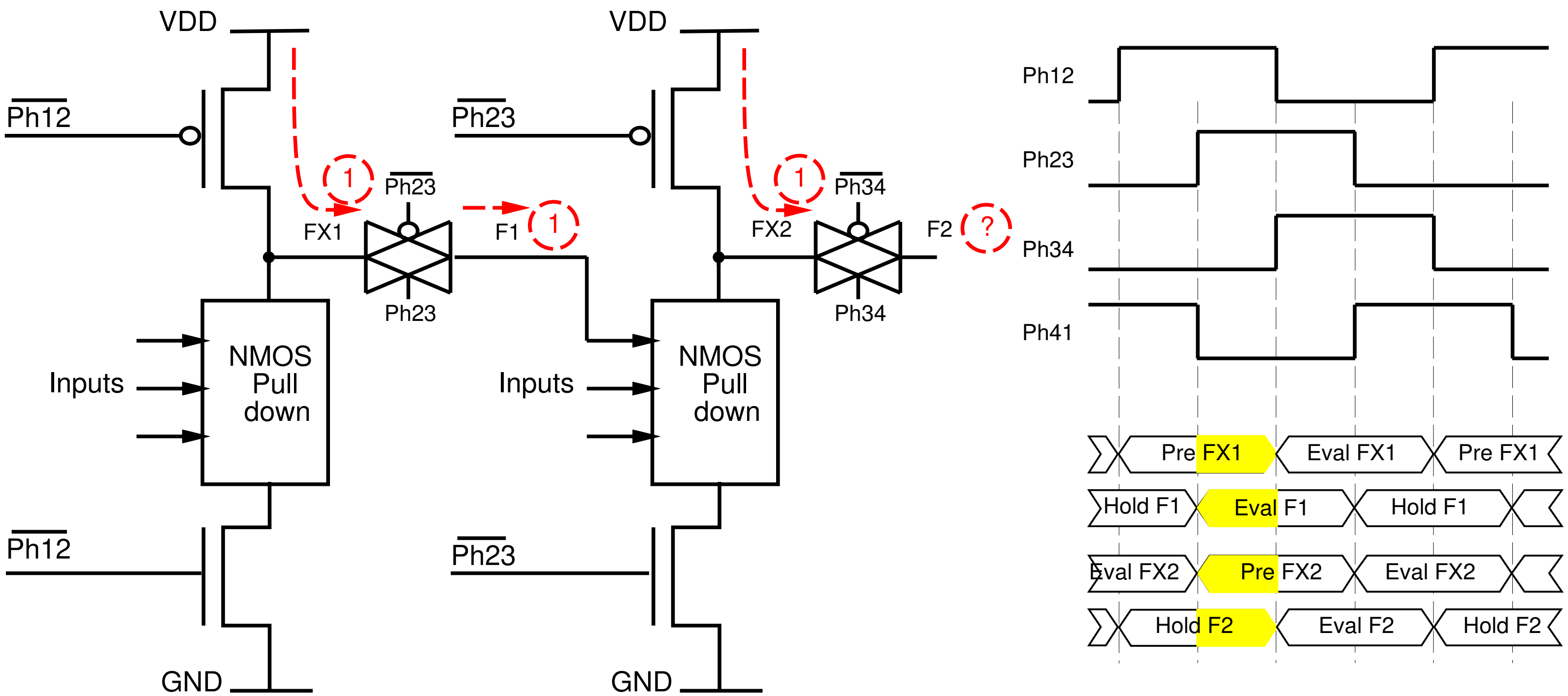
CMOS Dinámico Multi-fase

Inicialmente se precarga la señal interna FX1. La señal F1 no se modifica.



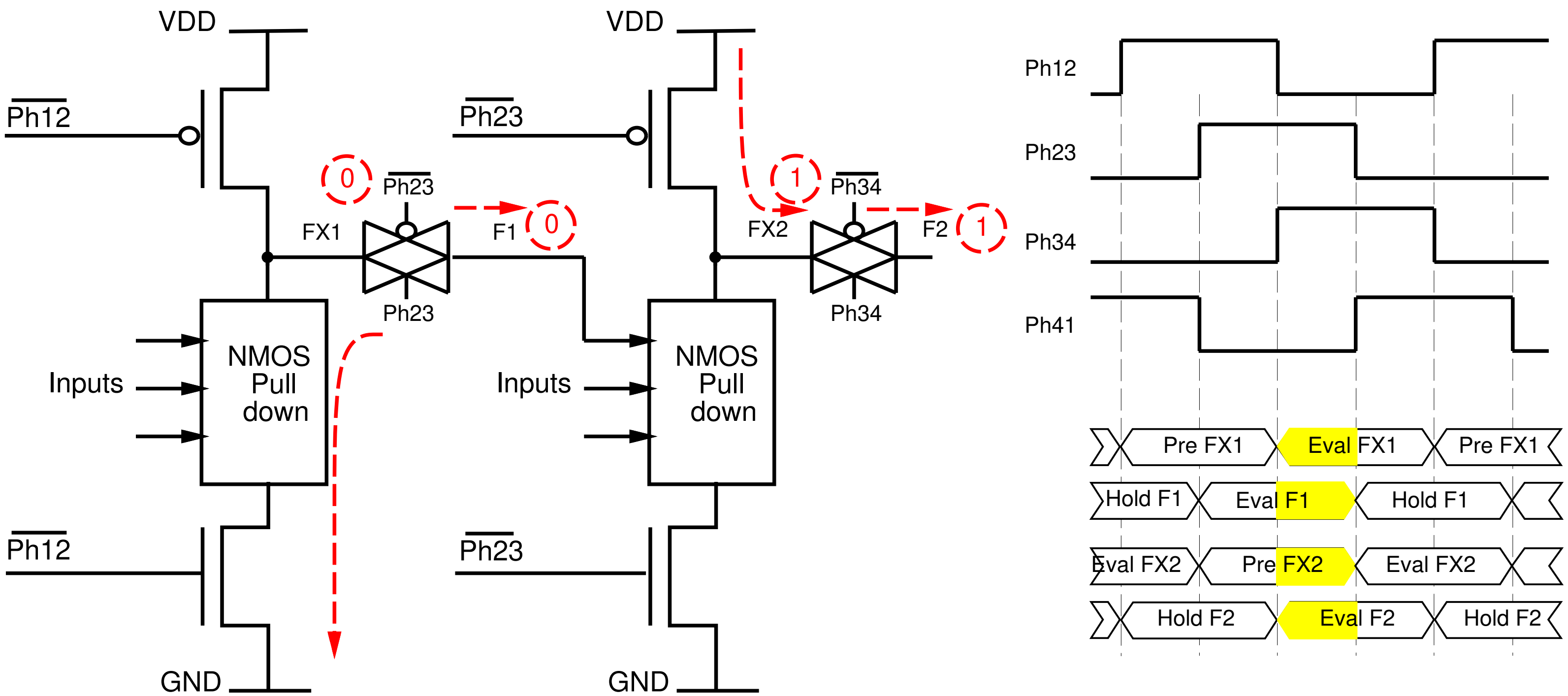
CMOS Dinámico Multi-fase

La señal FX1 se propaga a la salida F1. La señal FX2 se precarga.



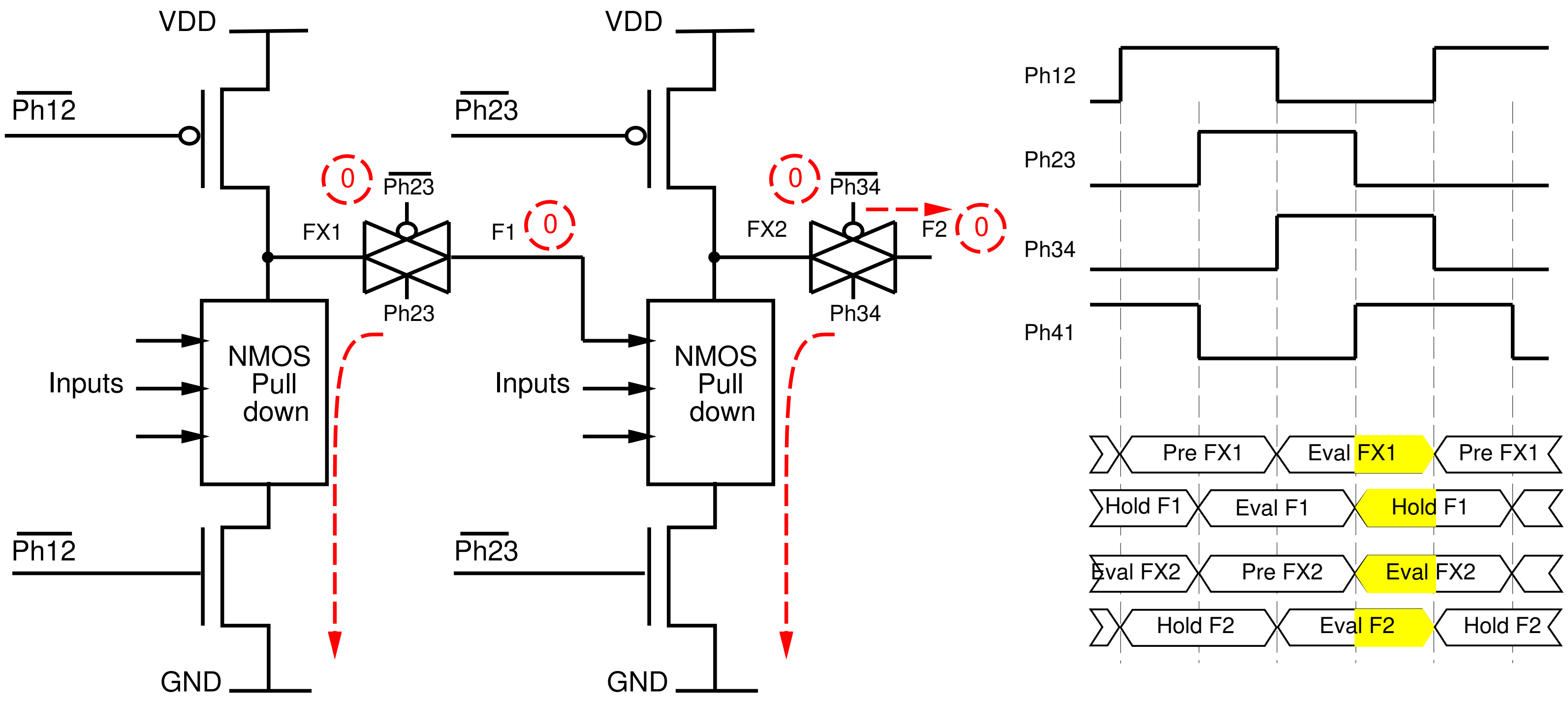
CMOS Dinámico Multi-fase

Las señales FX1 y F1 se evalúan. La señal FX2 se propaga a la salida F2.



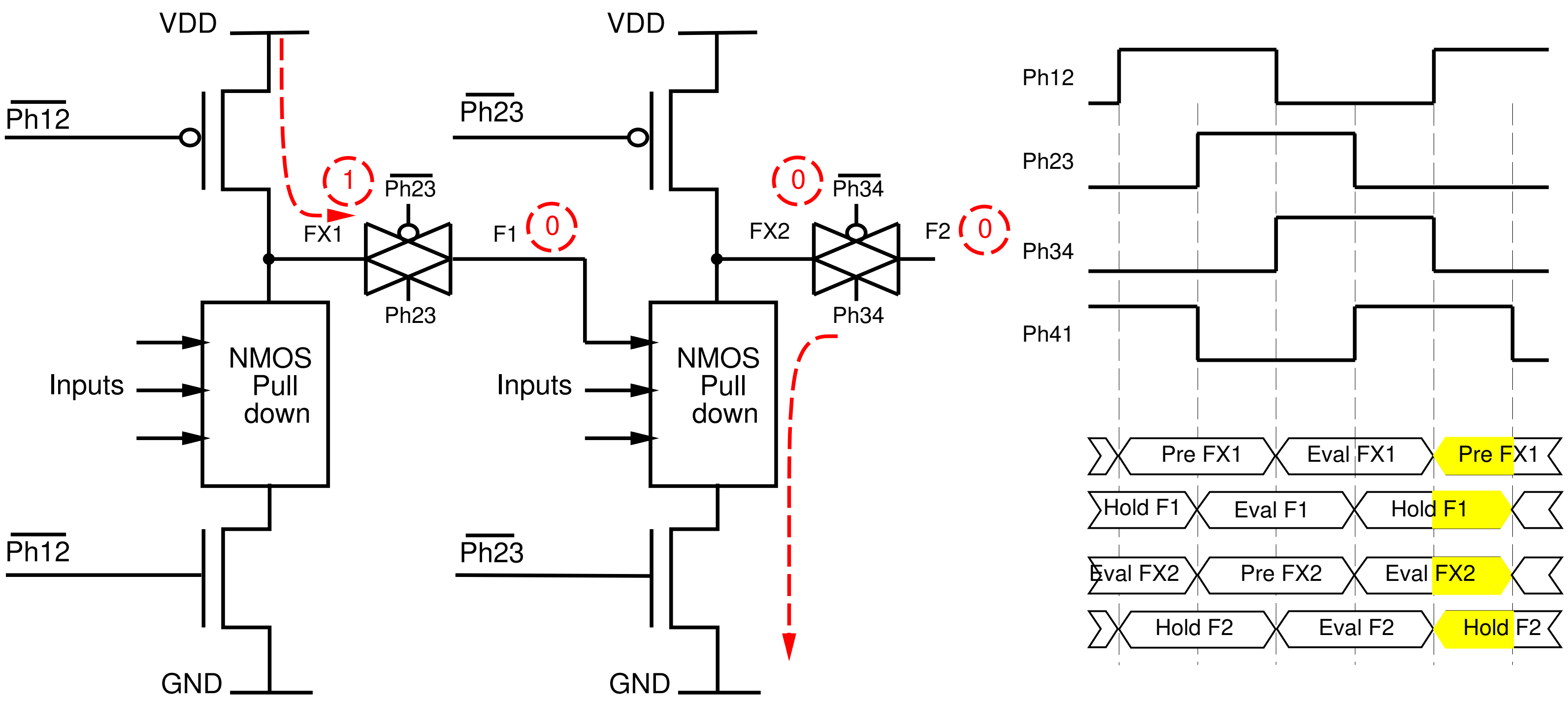
CMOS Dinámico Multi-fase

La señal F1 se aisla de FX1. La señal FX2 evalúa y se propaga a la salida F2.



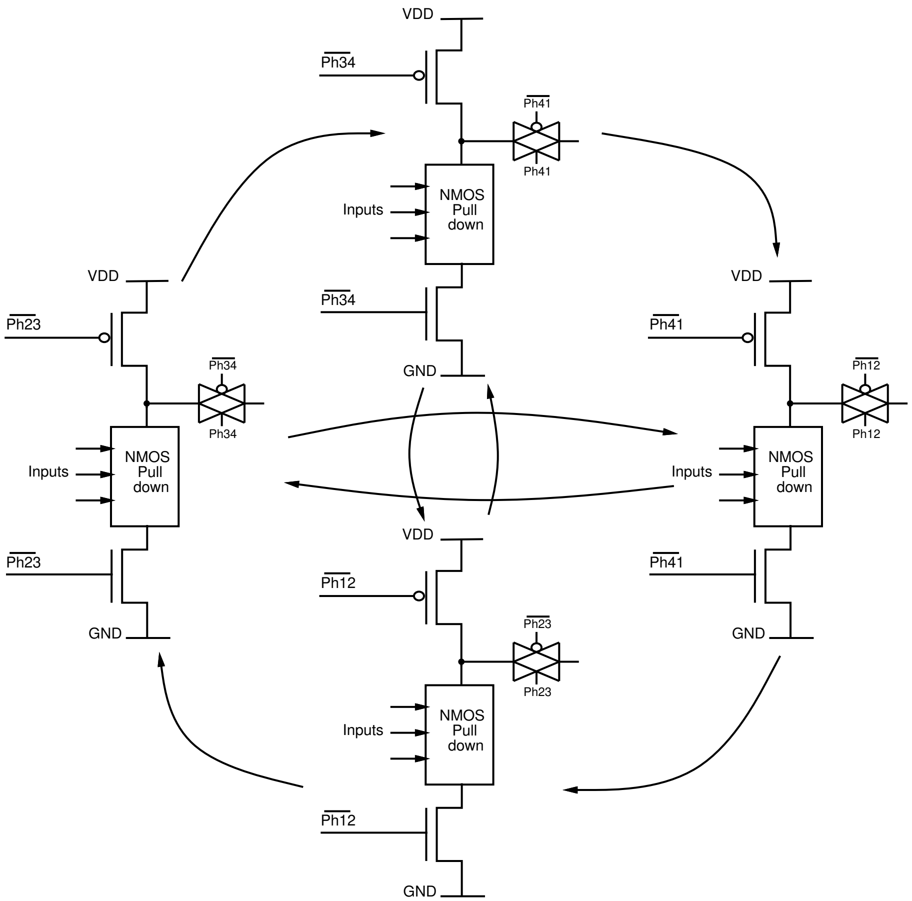
CMOS Dinámico Multi-fase

La señal FX1 se precarga, mientras F1 esta aislada. La salida F2 mantiene su valor.



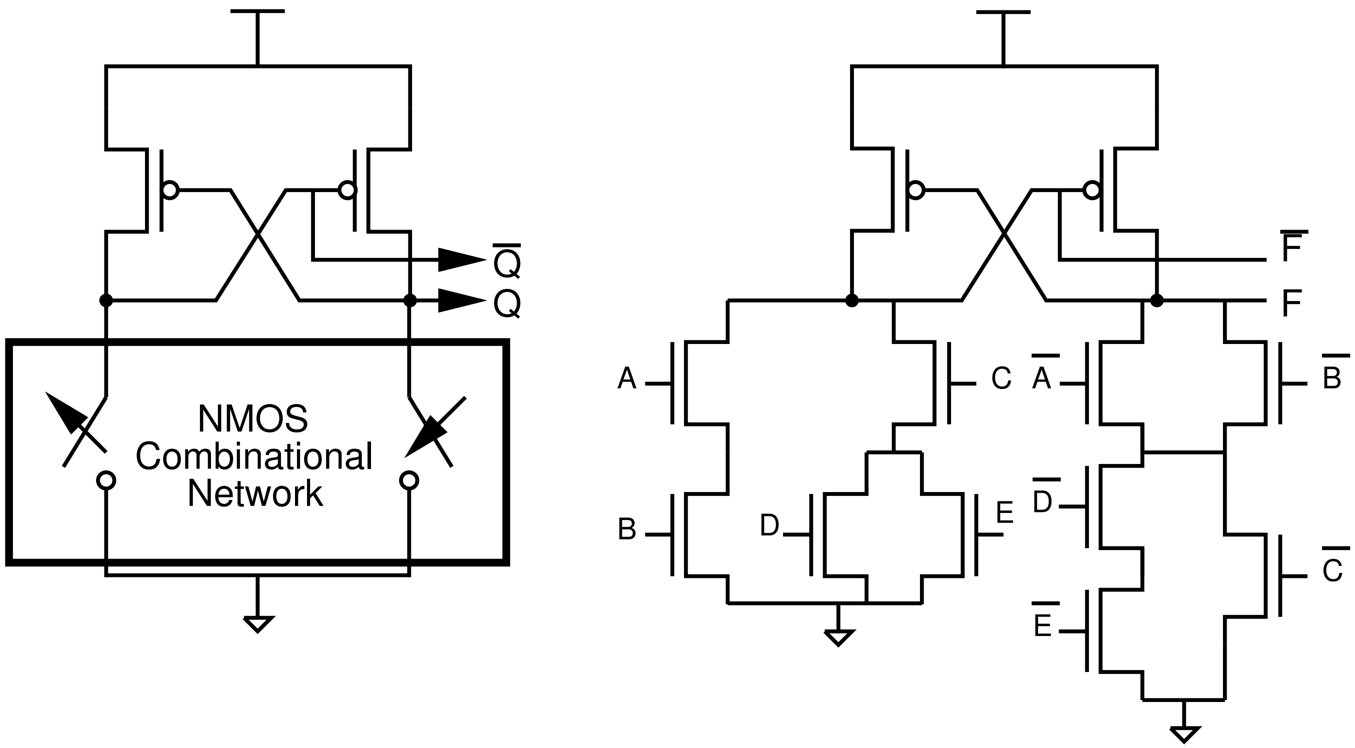
CMOS Dinámico Multi-fase

Las puertas pueden conectarse para crear pipelines de cuatro etapas, o bien pipelines de dos etapas.



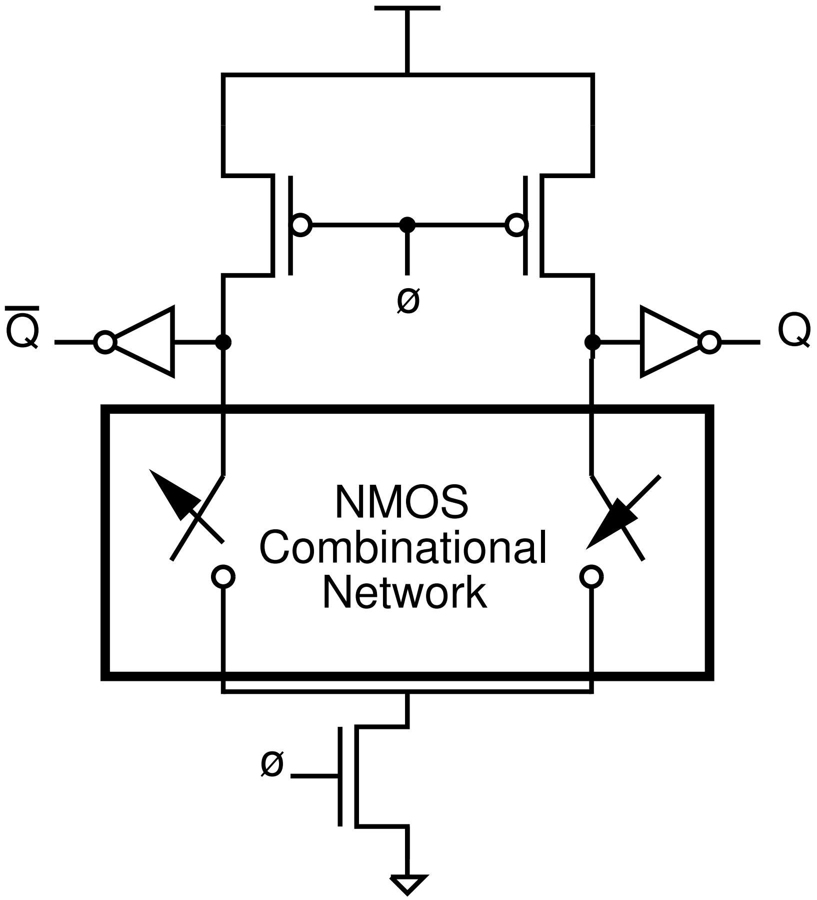
CVSL Cascade Voltage Switch Logic

Estilo de lógica diferencial que require tanto la señal como su complementario para realizar interconexiones.



CVSL Cascade Voltage Switch Logic

Es posible crear una versión alternativa dinámica.



Clocked CMOS

Utilizada para crear puertas lógica que se transforman en elementos tri-state.