Tecnología CMOS.
Diseño de lógica estática

Enrique Pastor Llorens
Rosa M. Badia

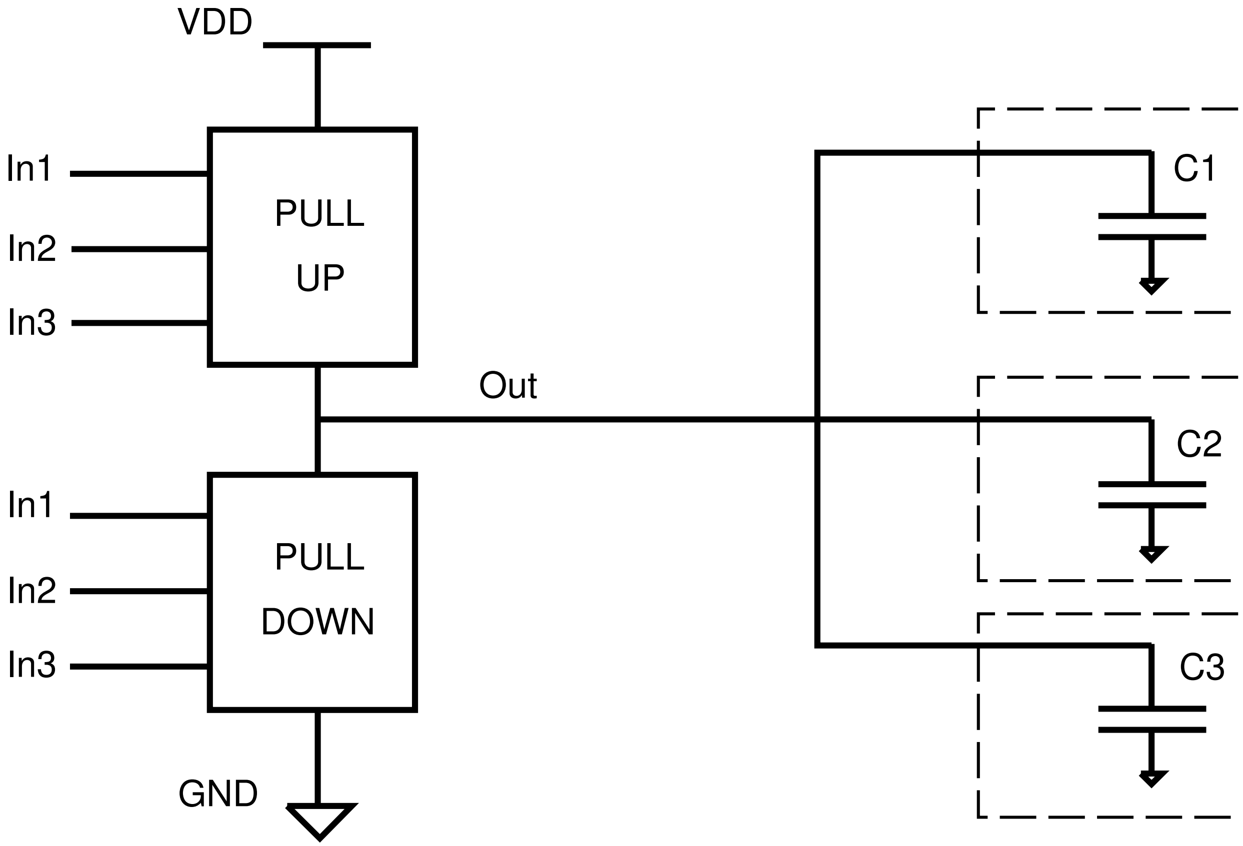
Agost 2001

Disseny Bàsic VLSI

Departament d'Arquitectura de Computadors
Universitat Politècnica de Catalunya

Estructuras Básicas MOS

Estructura general de una puerta MOS:



Impedancia de un transistor MOS

La impedancia de un transistor ofrece una aproximación de la cantidad de corriente que es capaz de transmitir.

La impedancia Z es:

- directamente proporcional a la longitud L del canal.
- inversamente proporcional a la anchura W del canal.

La impedancia de un transistor PMOS Z_p es dos veces mayor que la impedancia de un transistor NMOS Z_n:

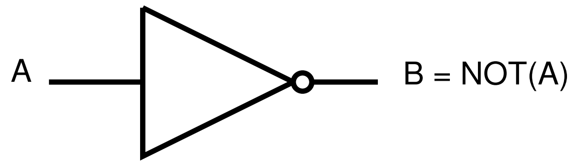
$$\mathrm{Z_p} = 2 \cdot \mathrm{Z_n}$$

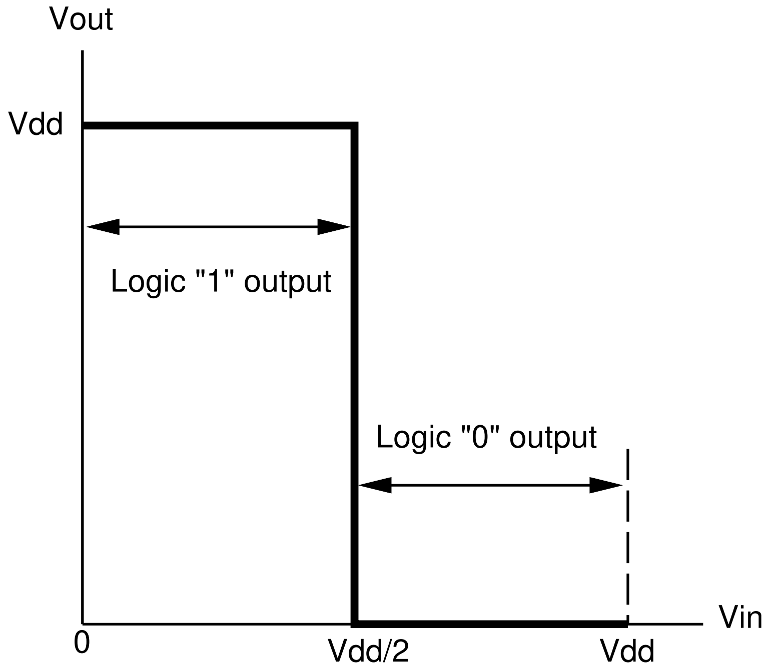
Las dimensiones del transistor se indican como:

L/W valores reales, $L : W$ ratio entre valores.

Estructuras Básicas MOS

Curva de transferencia de voltaje ideal:

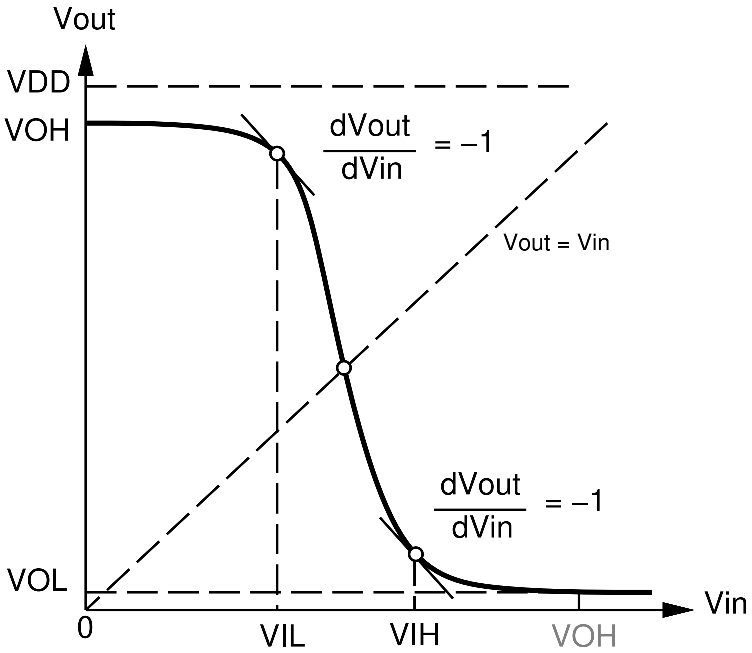


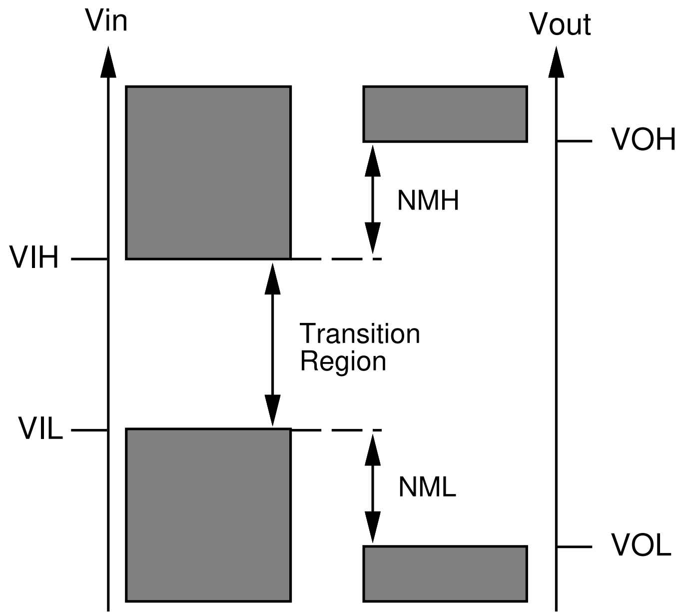


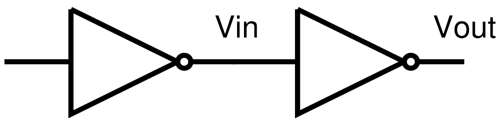
El comportamiento real es más complejo y depende de las impedancias y capacidades de los transistores.

Estructuras Básicas MOS

Curva de transferencia de voltaje real:

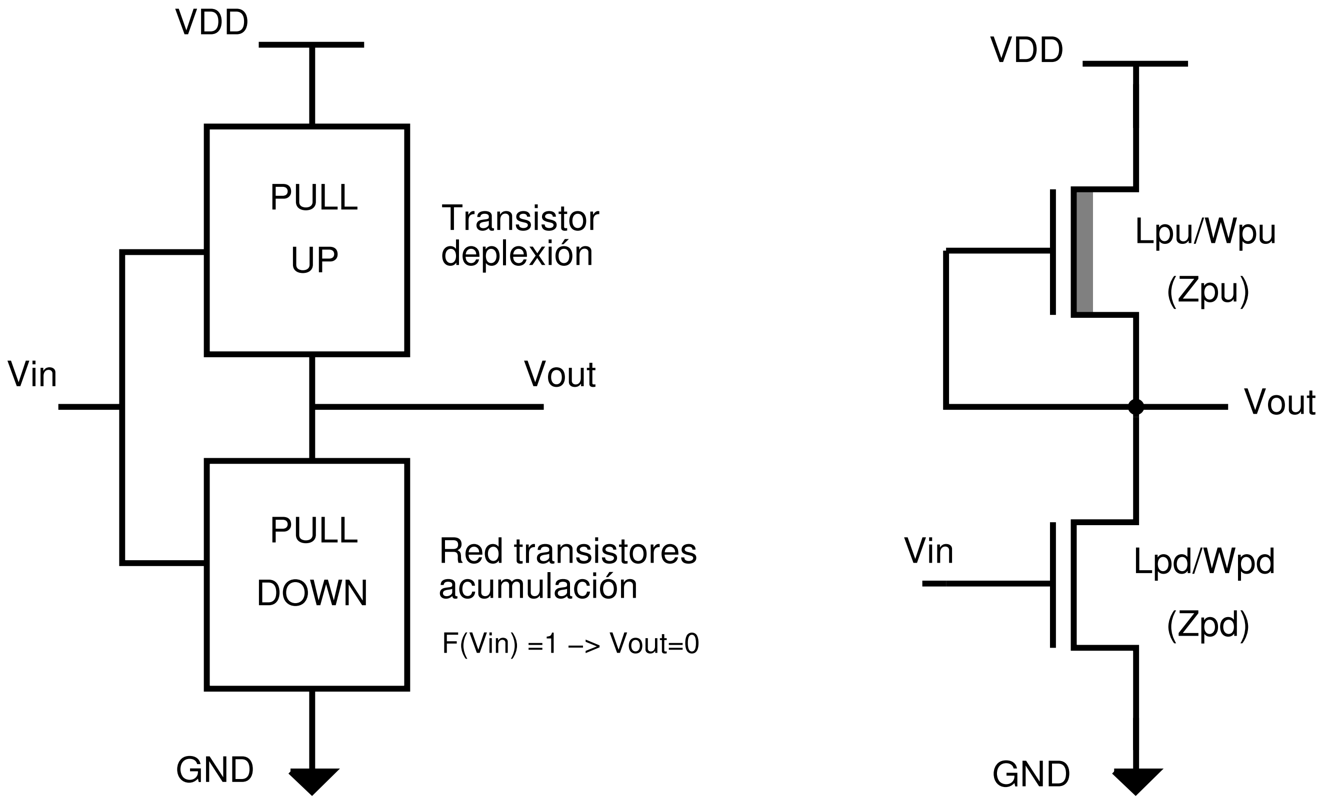






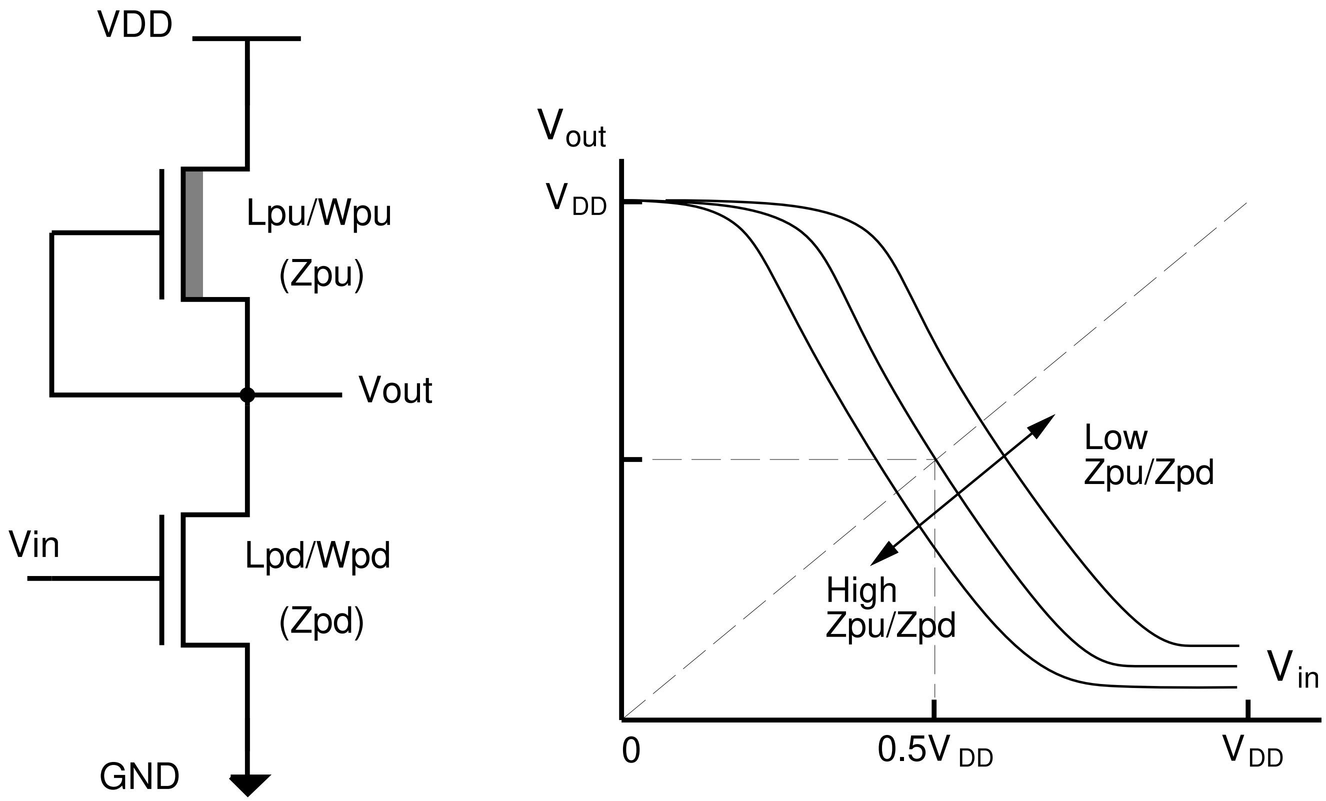
La curva de transferencia determina los margenes de ruido (NM) y la región de indeterminación para la entrada.

Inversor NMOS



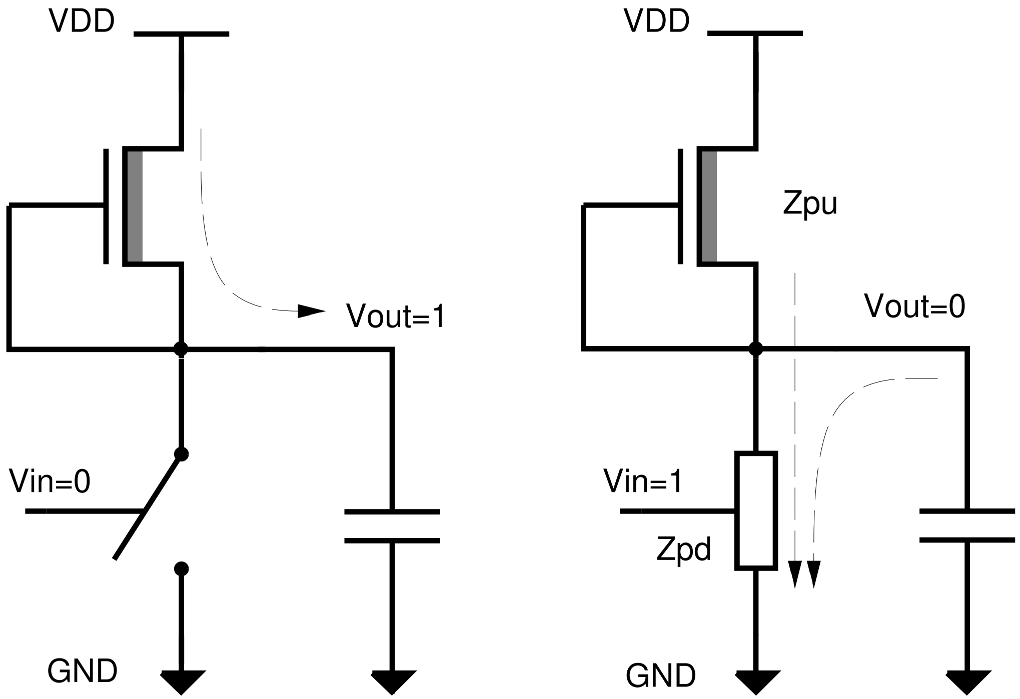
- Alta integración.
- Consumo estático alto si $Vout = 0$.
- Ceros lógicos degradados.

Inversor NMOS



Inversor NMOS

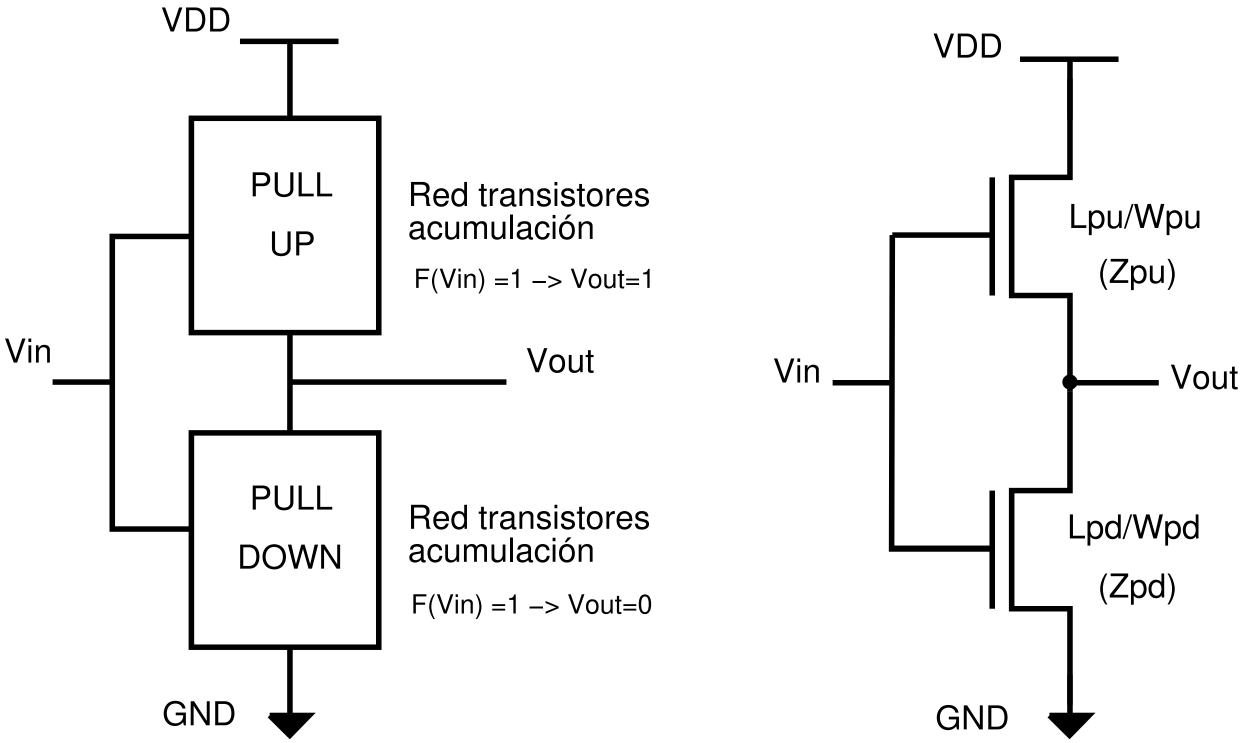
La relación Z_{pu}/Z_{pd} es crítica:



$$K\frac{W_{pd}}{L_{pd}}\frac{(V_{in}-V_t)^2}{2}=K\frac{W_{pu}}{L_{pu}}\frac{(-V_{td})^2}{2}\Rightarrow\sqrt{Z_{pu}/Z_{pd}}=2\;\Rightarrow\;Z_{pu}/Z_{pd}=4/1.$$

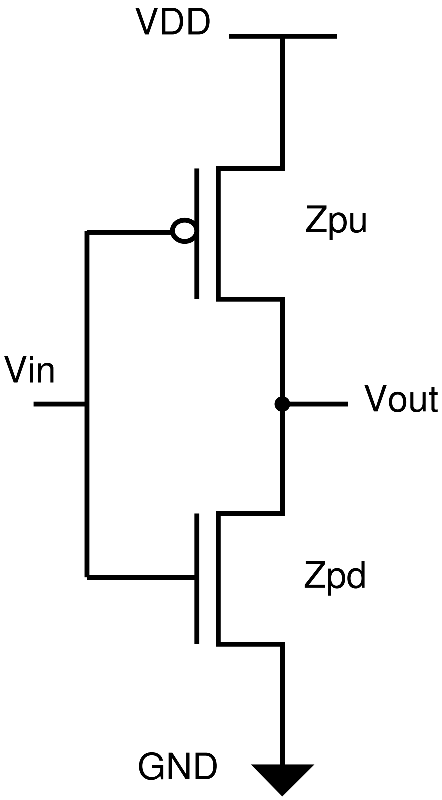
$(V_{in}=0.5V_{DD}, V_t=0.2V_{DD}, V_{td}=-0.6V_{DD})$

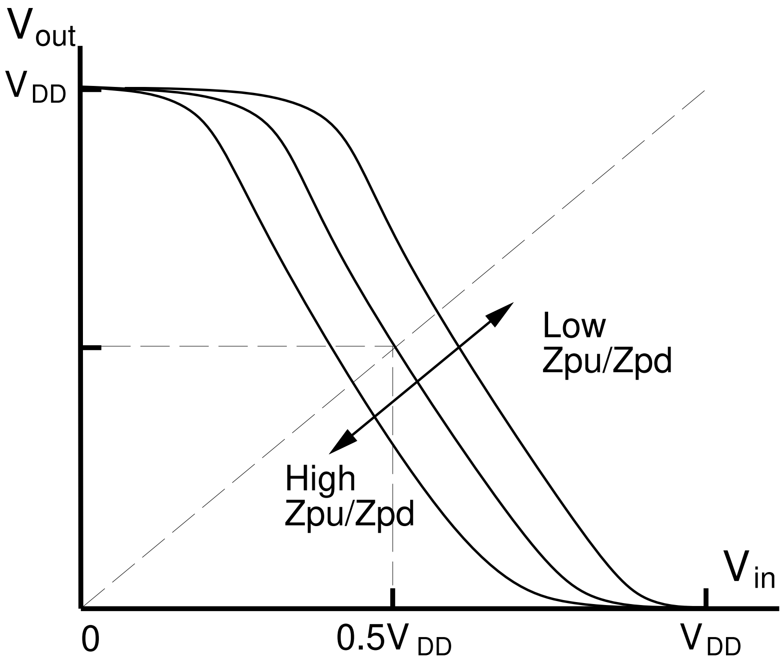
Inversor CMOS



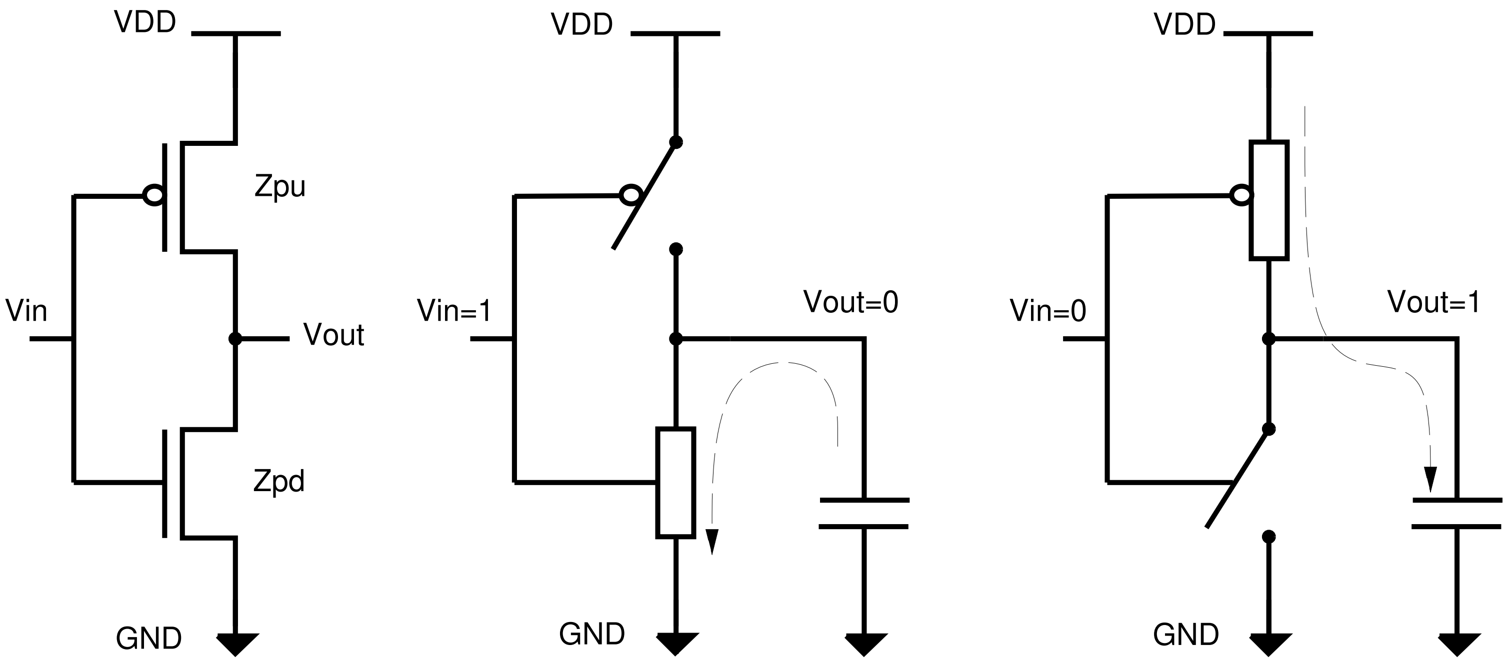
- Duplicación de la lógica.
- Bajo consumo estático.
- Funciones lógicas simétricas.

Inversor CMOS





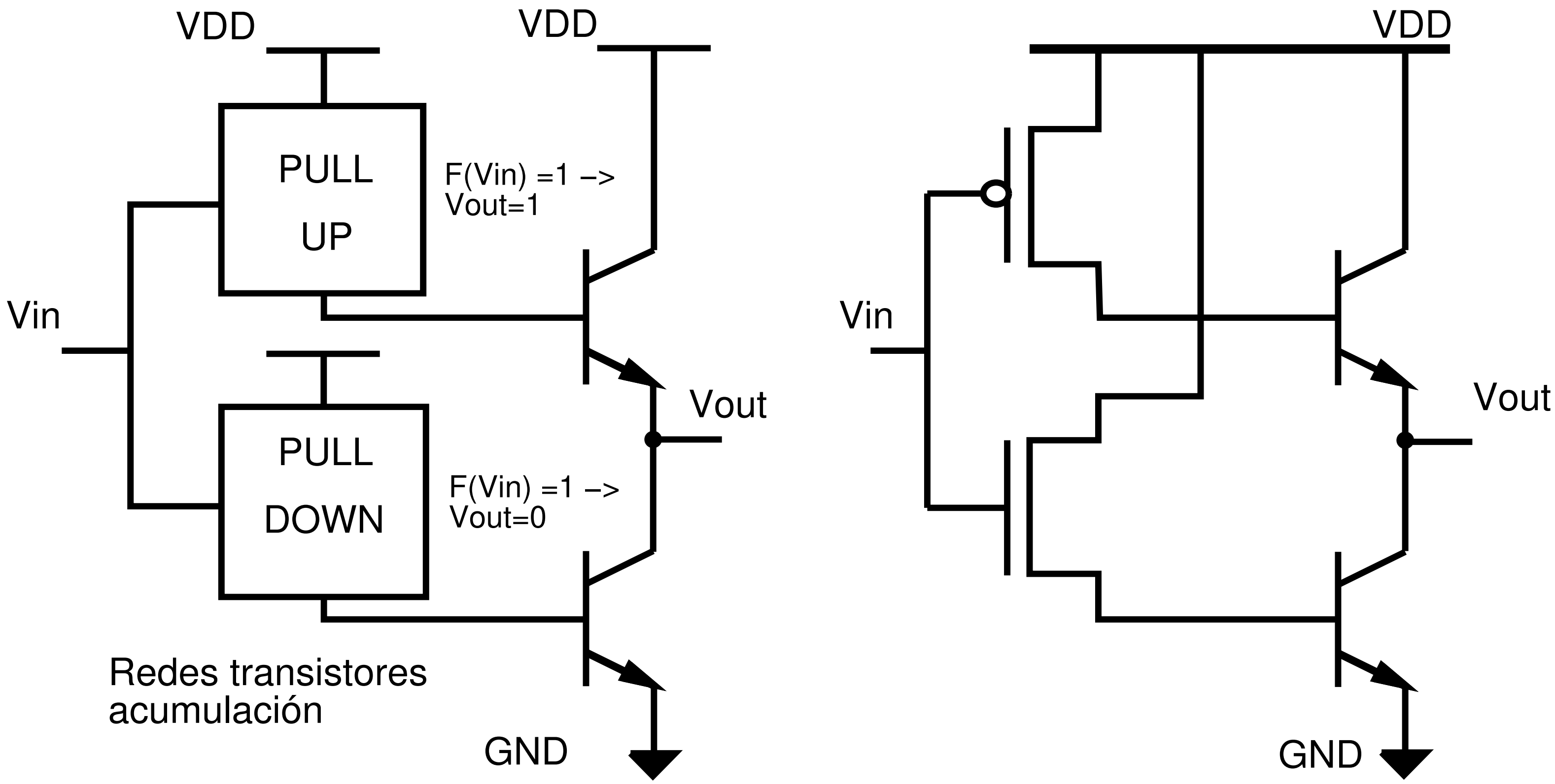
Inversor CMOS



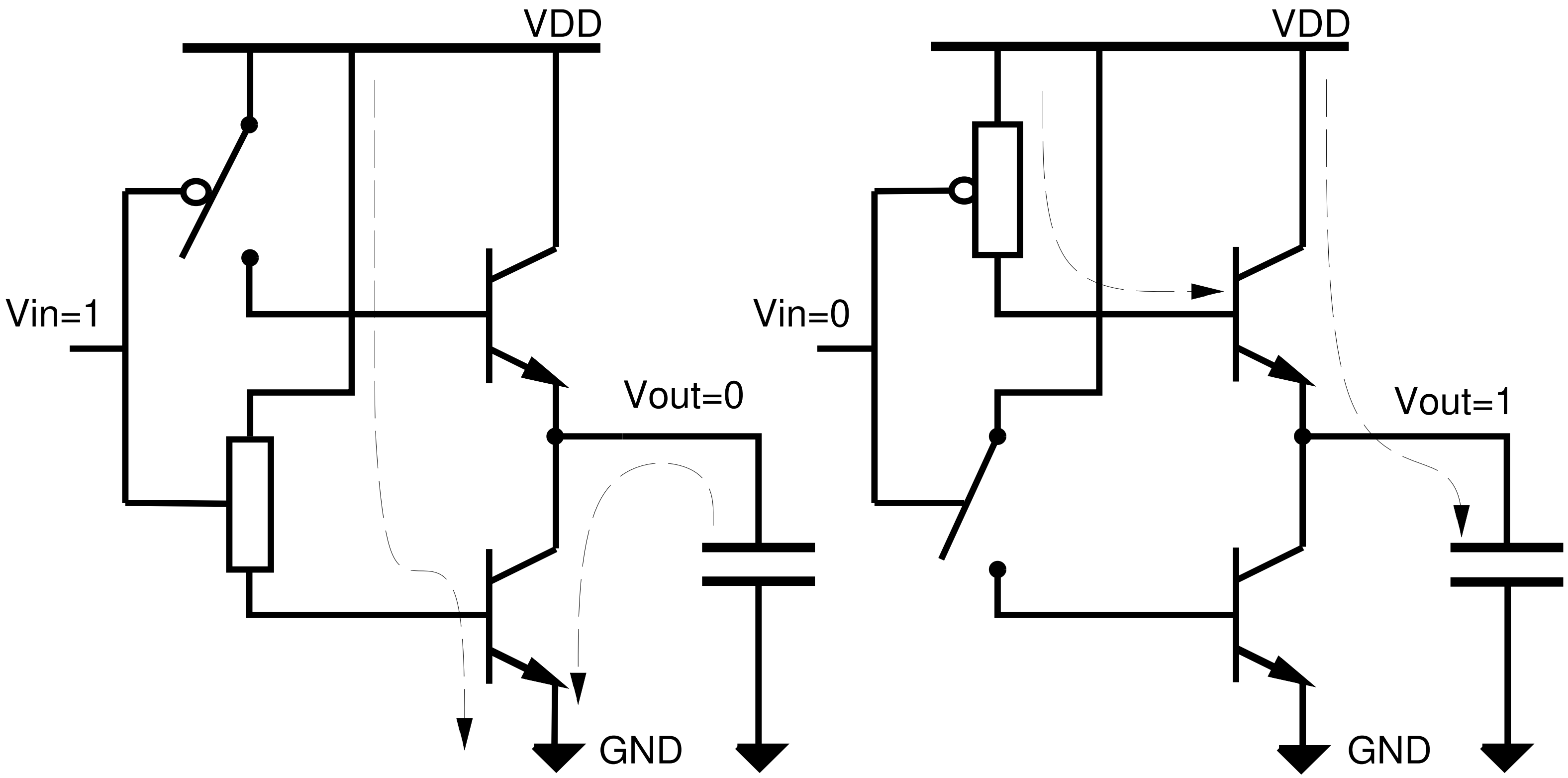
Comportamiento simétrico si $Z_{pu}/Z_{pd} = 1/2$

Debido a la movilidad de la carga en los transistores PMOS.

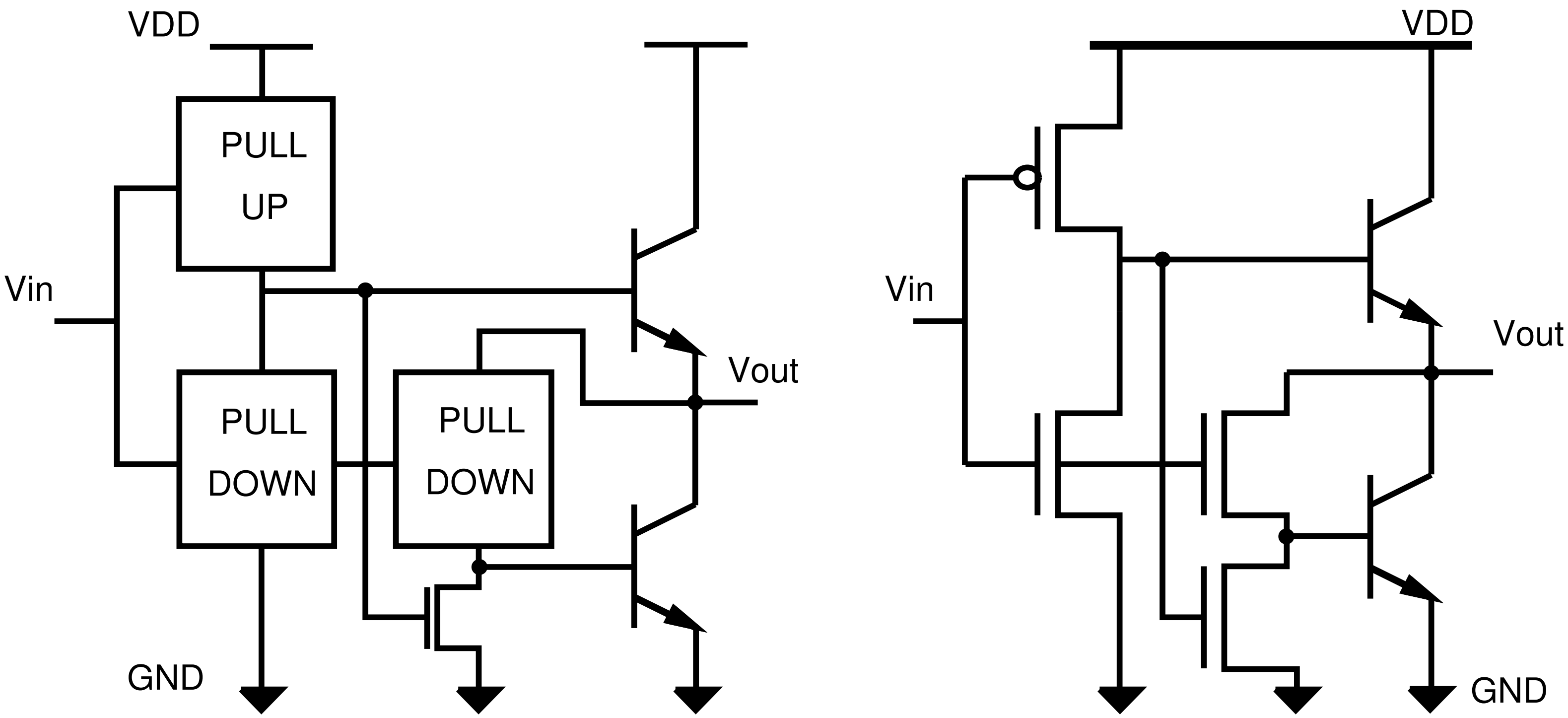
Inversor BiCMOS



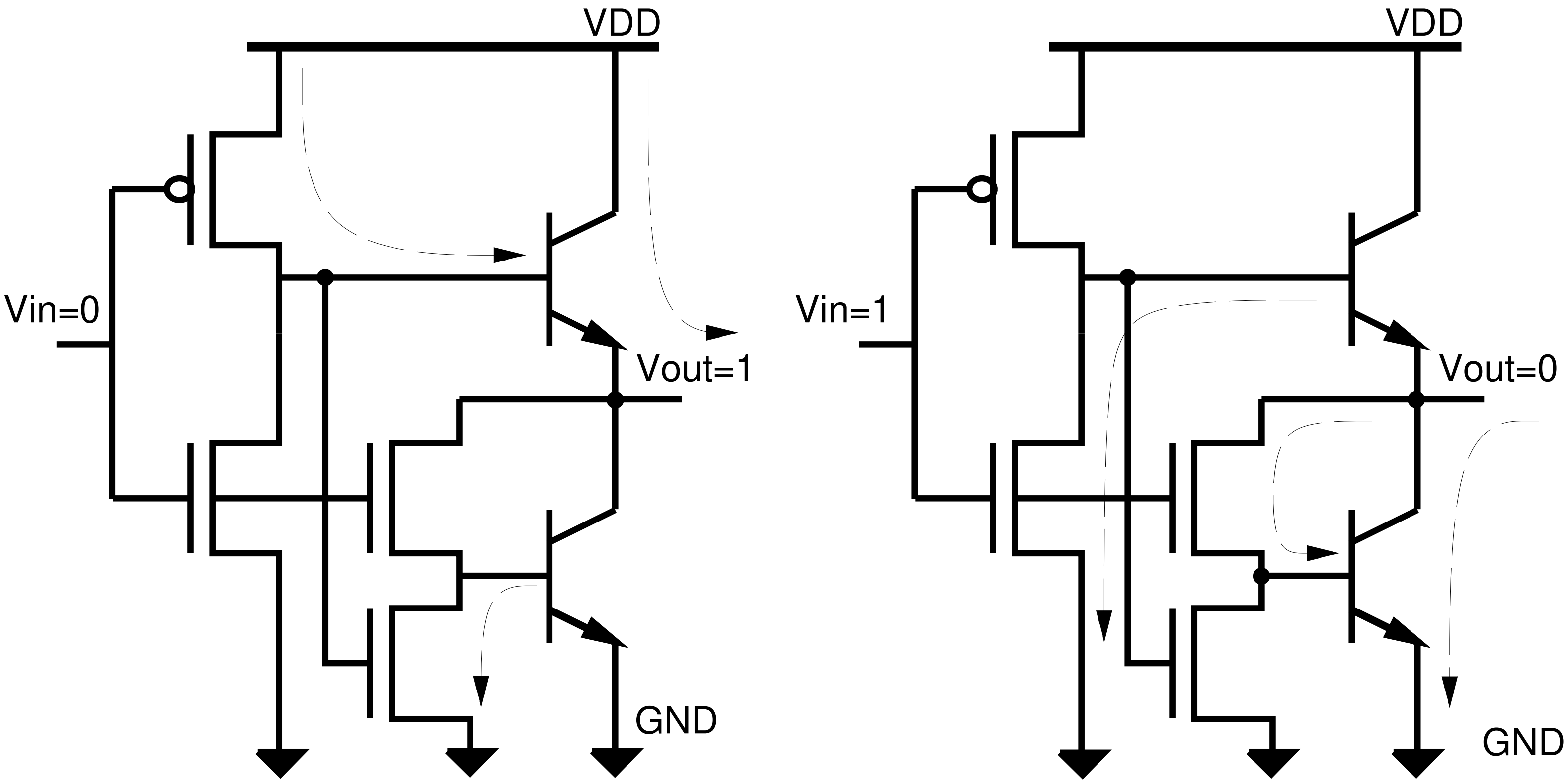
Inversor BiCMOS



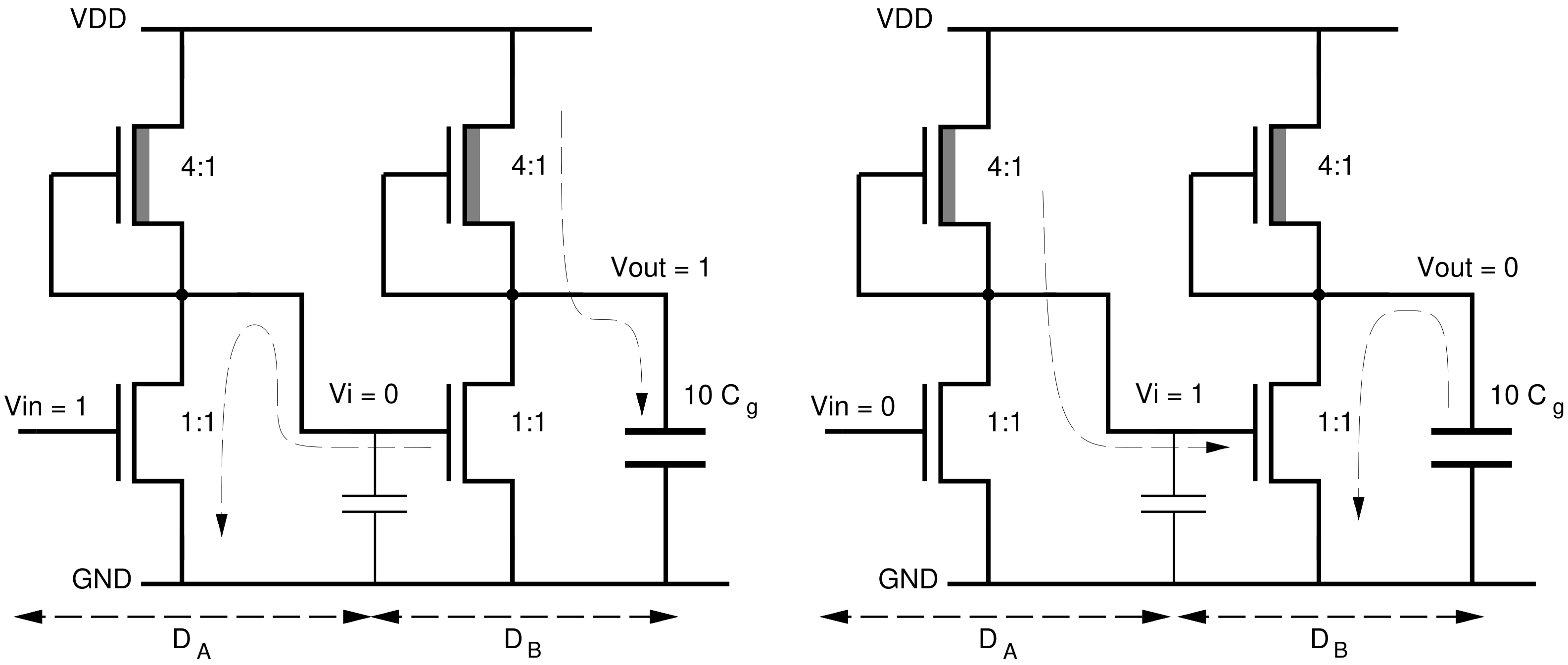
Inversor BiCMOS



Inversor BiCMOS

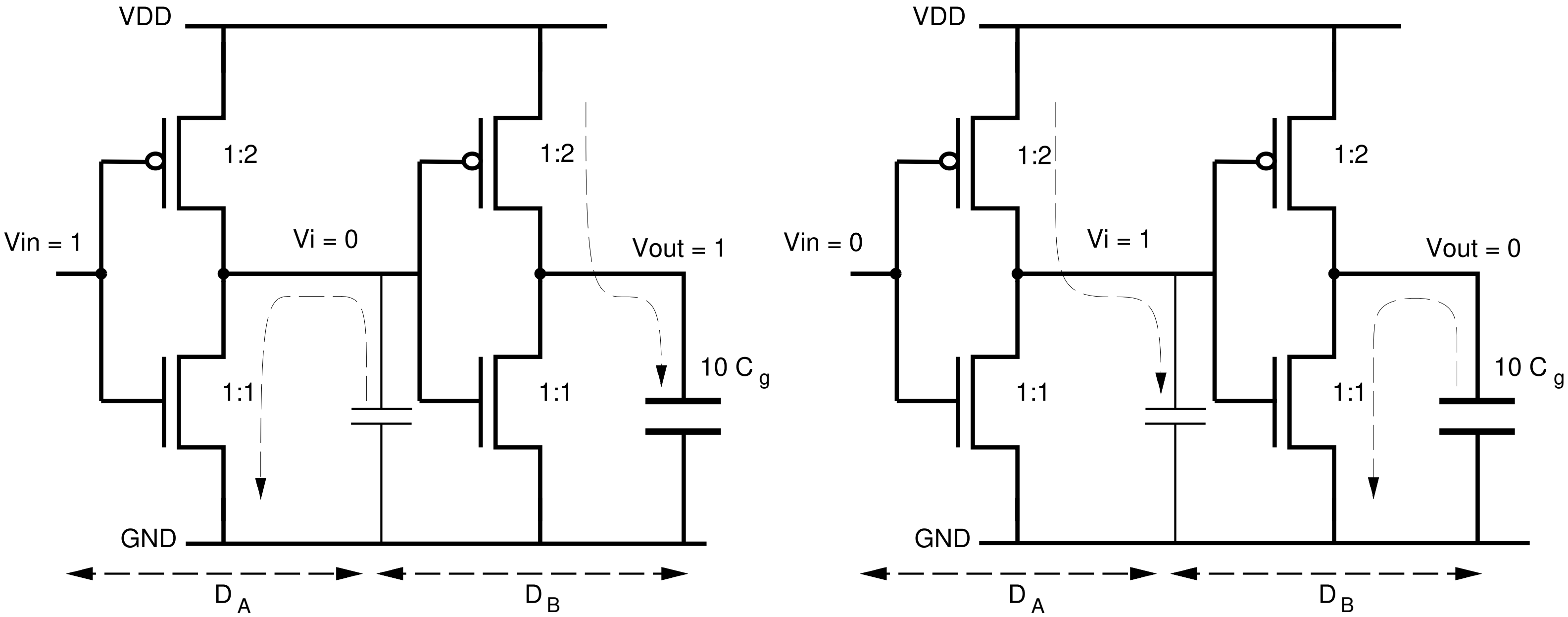


Retardos en un Inversor NMOS



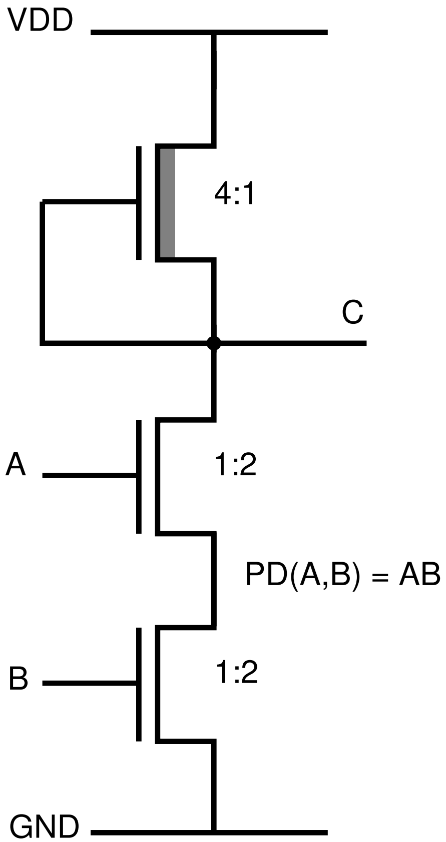
$$\tau_{1-1} = \frac{2\lambda}{2\lambda} R_s \, \frac{4\lambda^2}{4\lambda^2} C_g \; + \; \frac{8\lambda}{2\lambda} R_s \; 10 C_g \qquad \tau_{0-0} = \frac{8\lambda}{2\lambda} R_s \, \frac{4\lambda^2}{4\lambda^2} C_g \; + \; \frac{2\lambda}{2\lambda} R_s \; 10 C_g$$

Retardos en un Inversor CMOS

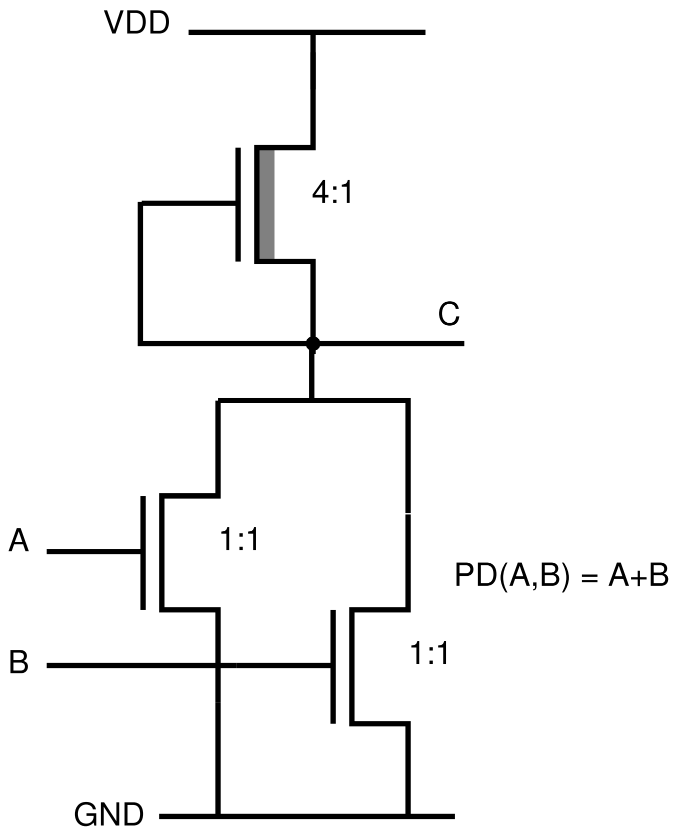


$$\tau_{1-1} = \frac{2\lambda}{2\lambda} R_s \, \frac{12\lambda^2}{4\lambda^2} C_g + \frac{2\lambda}{4\lambda} \, 2R_s \, 10C_g \qquad \tau_{0-0} = \frac{2\lambda}{4\lambda} \, 2R_s \, \frac{12\lambda^2}{4\lambda^2} C_g + \frac{2\lambda}{2\lambda} R_s \, 10C_g$$

Estructuras NMOS

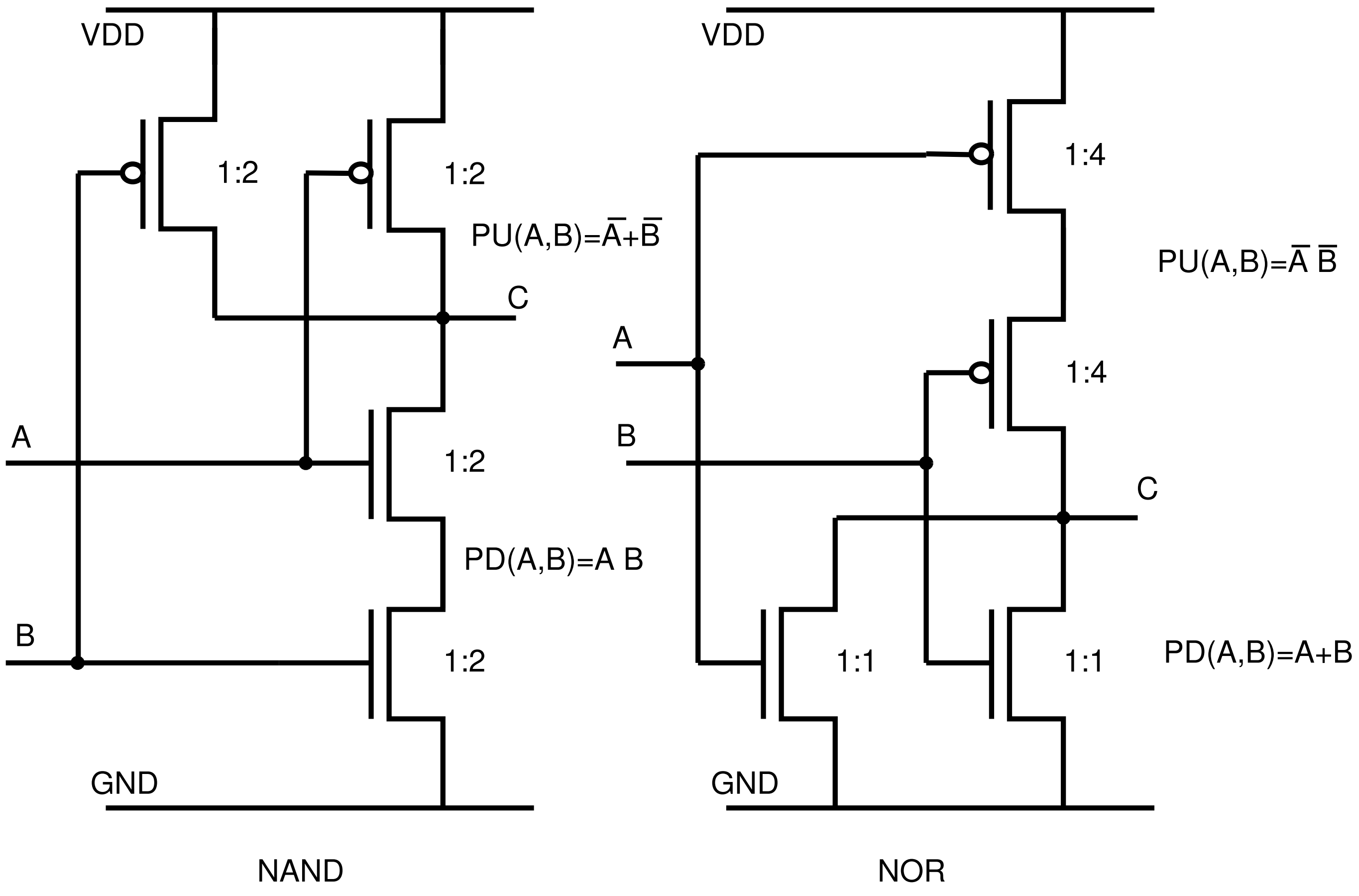


NAND



NOR

Estructuras CMOS



Estructuras BiCMOS