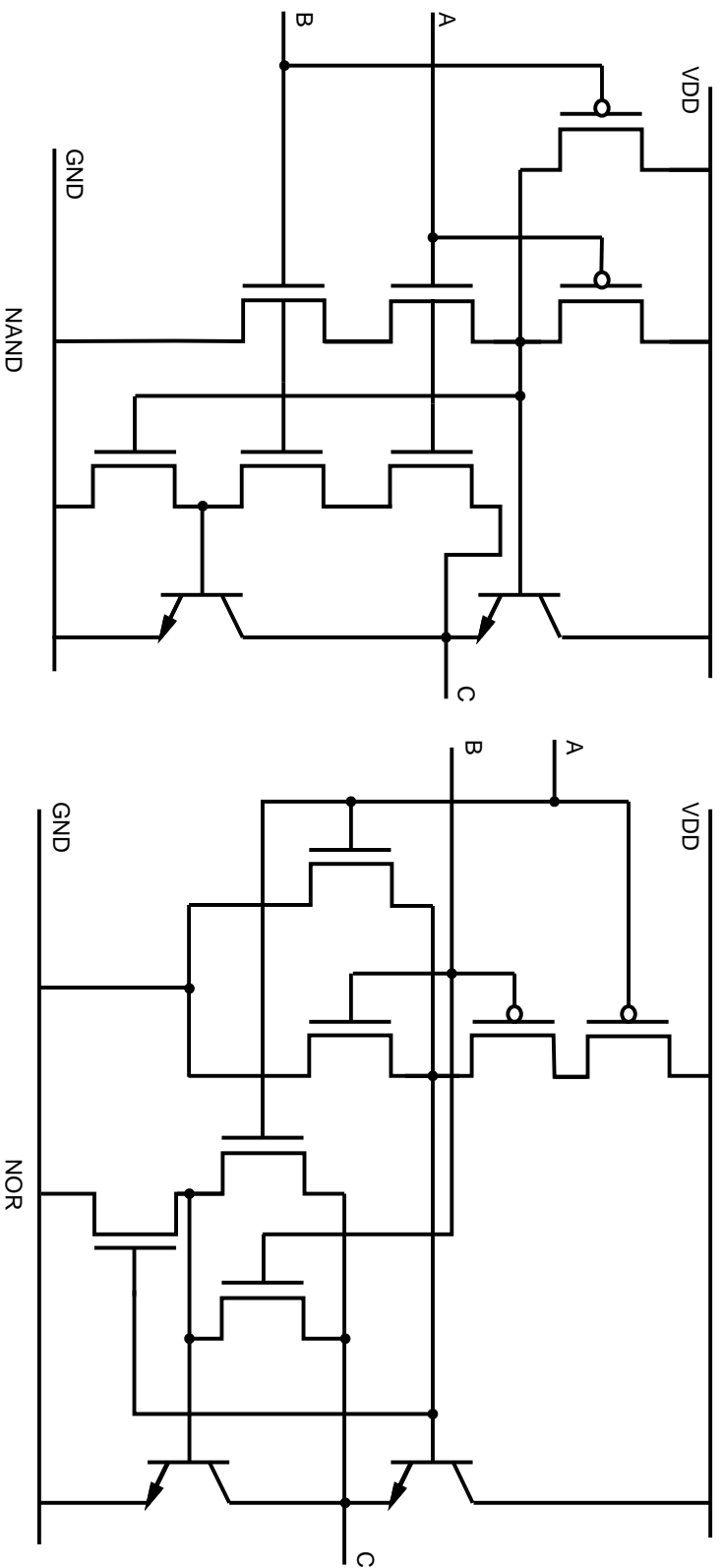
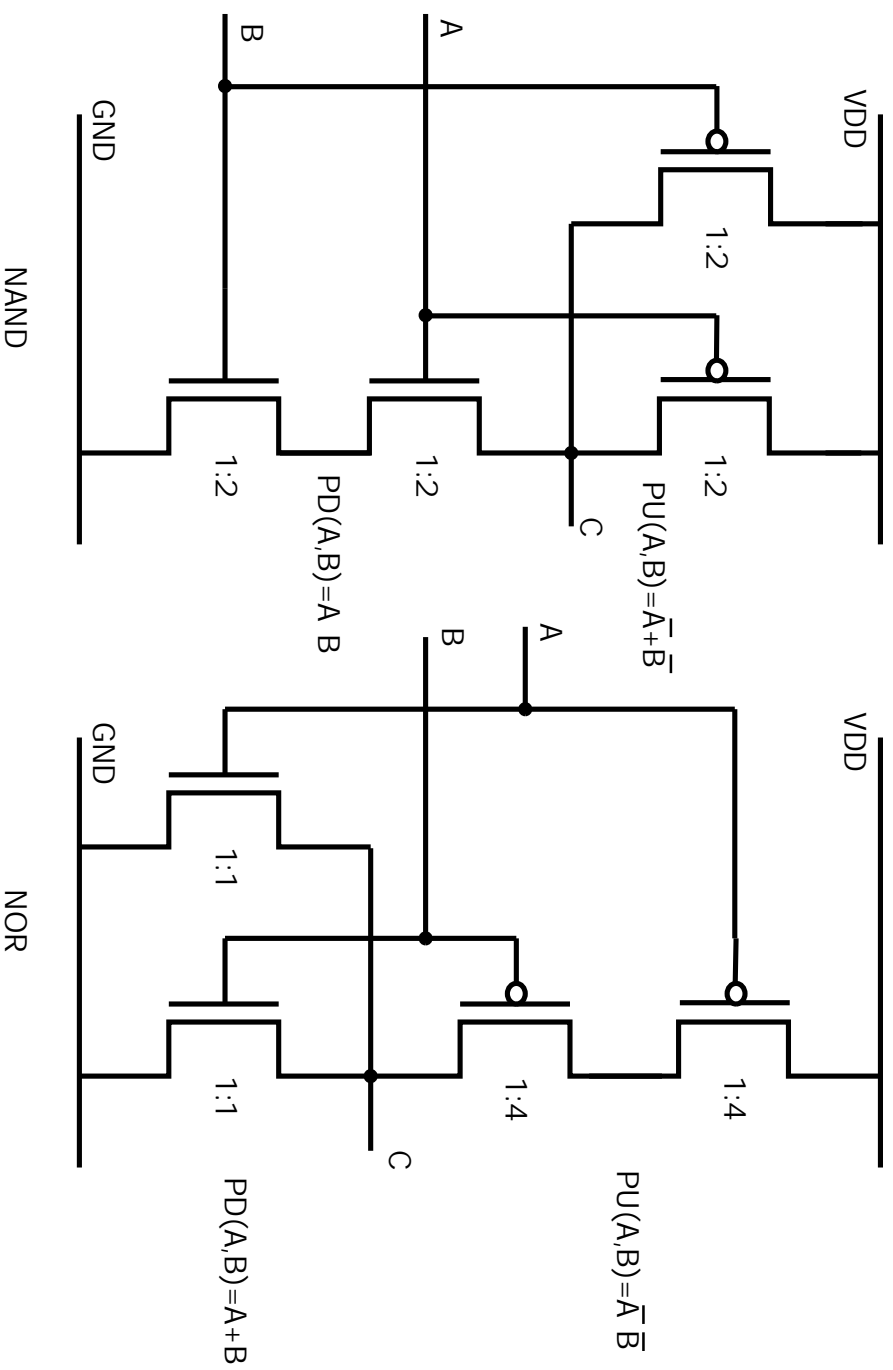


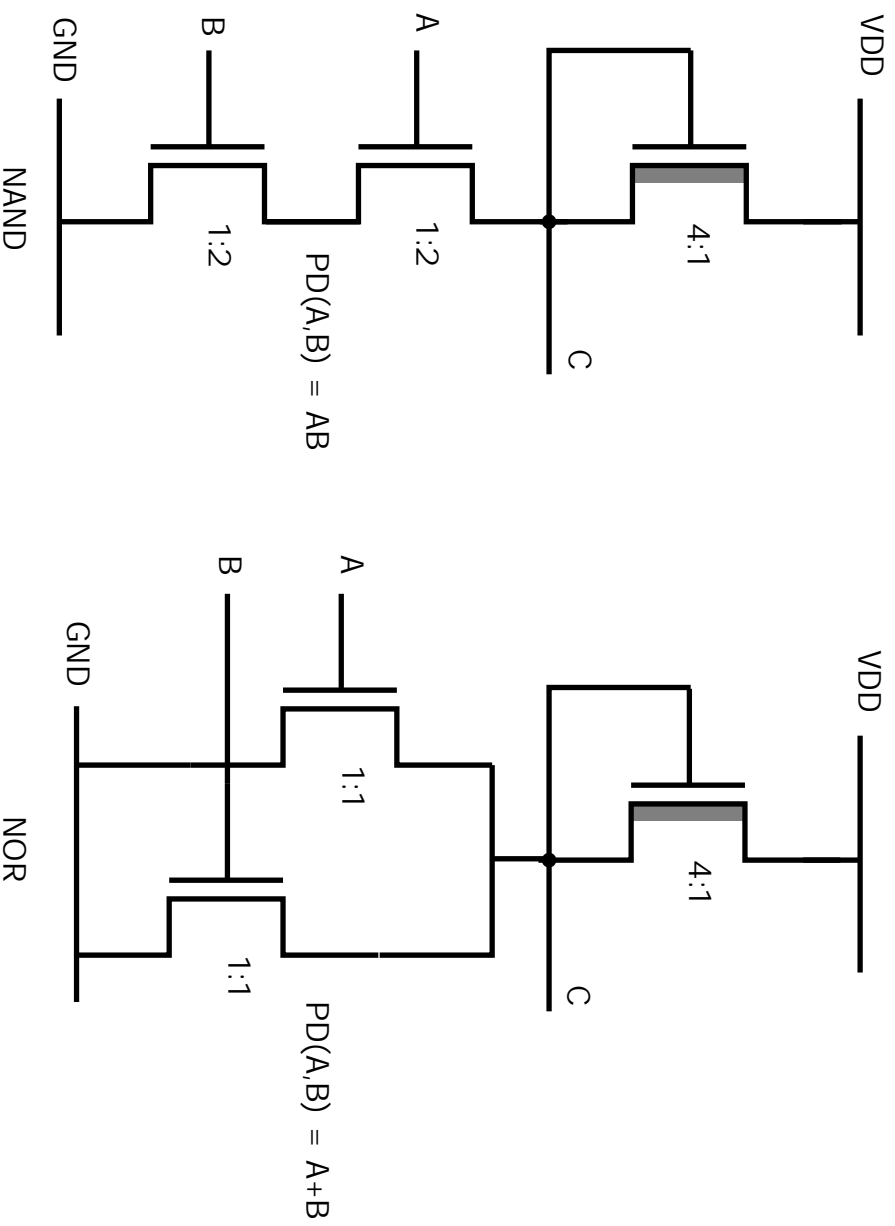
Estructuras BiCMOS



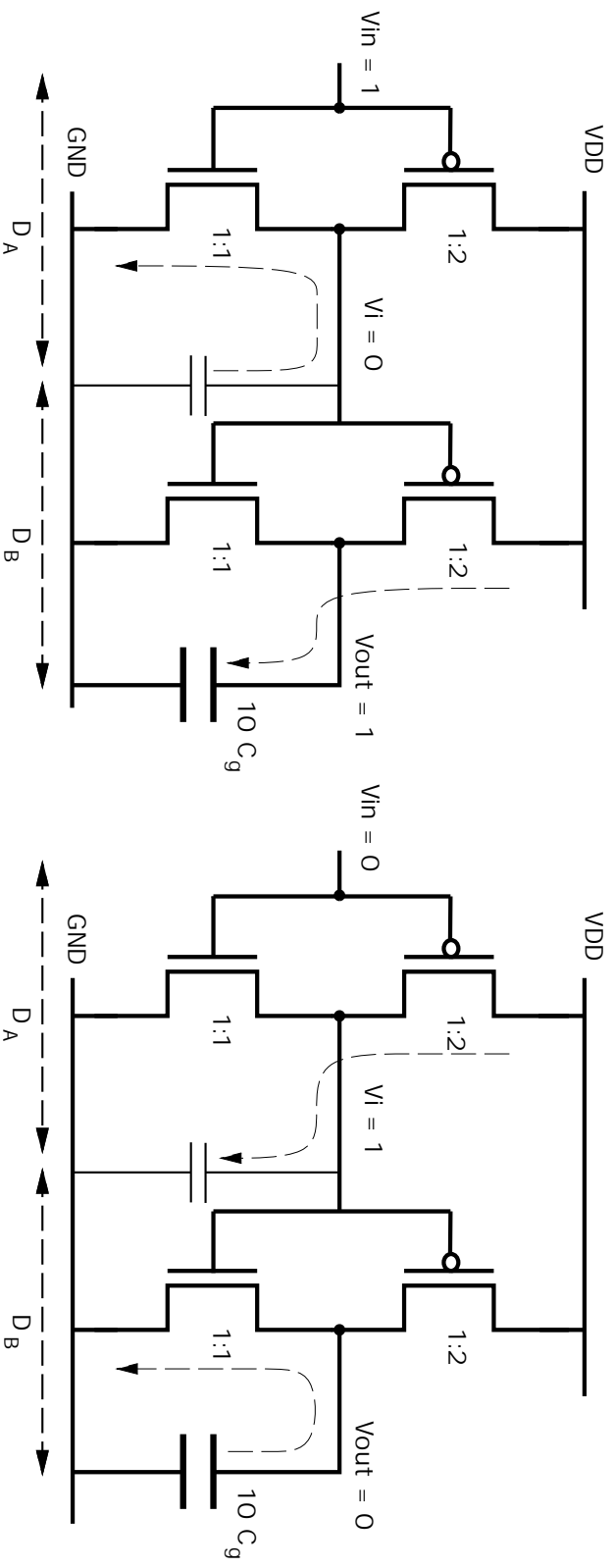
Estructuras CMOS



Estructuras NMOS

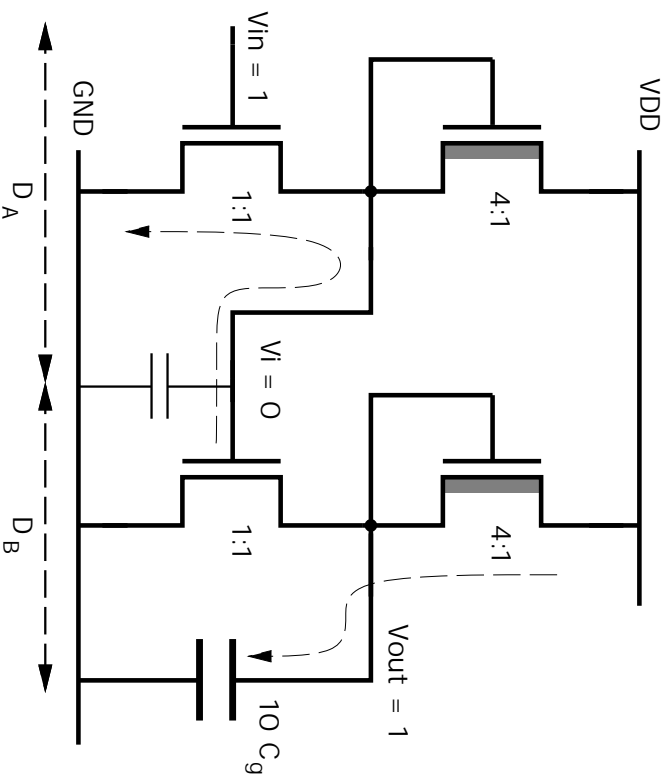


Retardos en un Inversor CMOS

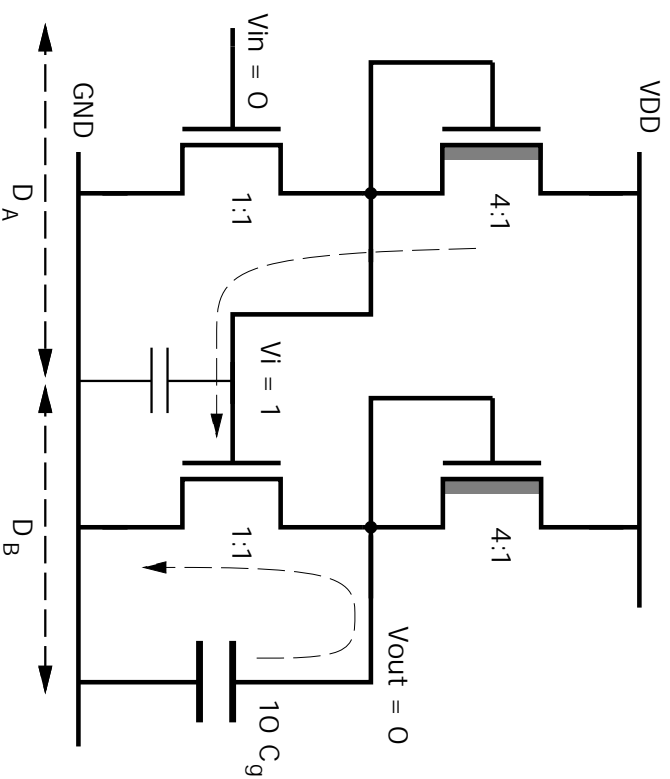


$$\tau_{1-1} = \frac{2\lambda}{2\lambda} R_s \frac{12\lambda^2}{4\lambda^2} C_g + \frac{2\lambda}{4\lambda} 2R_s 10C_g \quad \tau_{0-0} = \frac{2\lambda}{4\lambda} 2R_s \frac{12\lambda^2}{4\lambda^2} C_g + \frac{2\lambda}{2\lambda} R_s 10C_g$$

Retardos en un Inversor NMOS

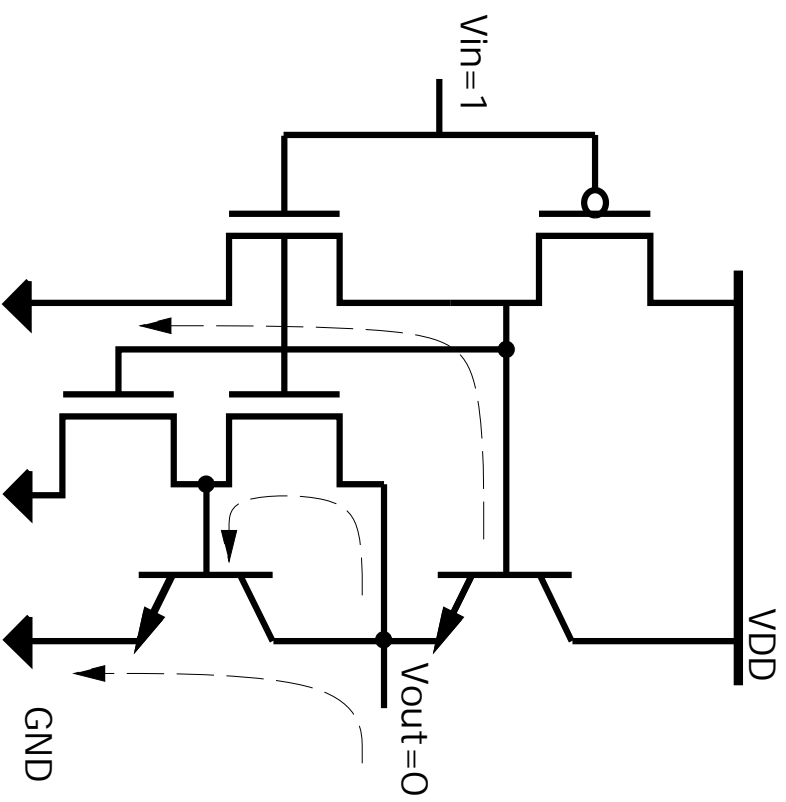
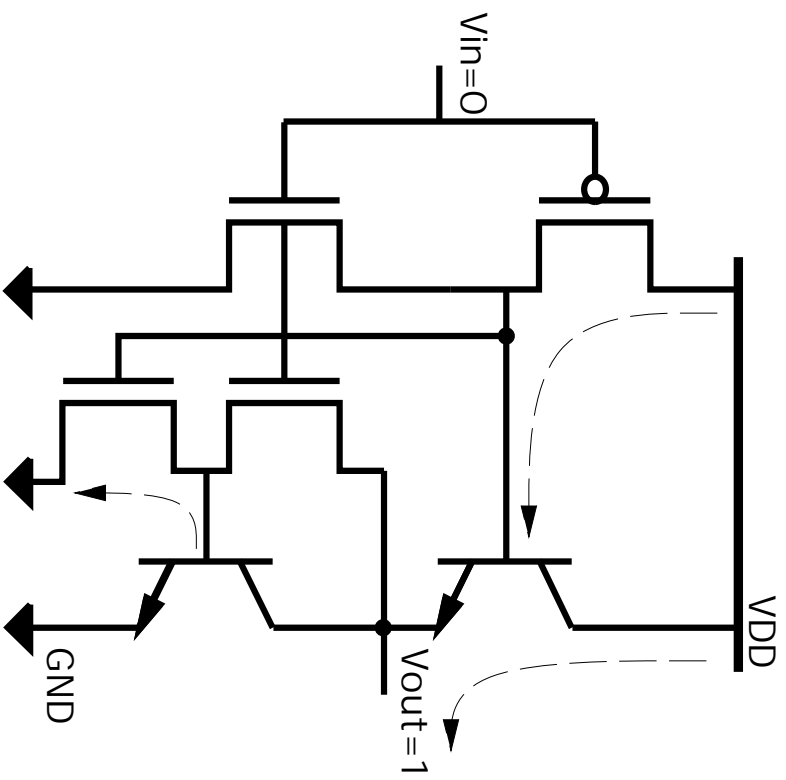


$$\tau_{1-1} = \frac{2\lambda}{2\lambda} R_s \frac{4\lambda^2}{4\lambda^2} C_g + \frac{8\lambda}{2\lambda} R_s 10C_g$$

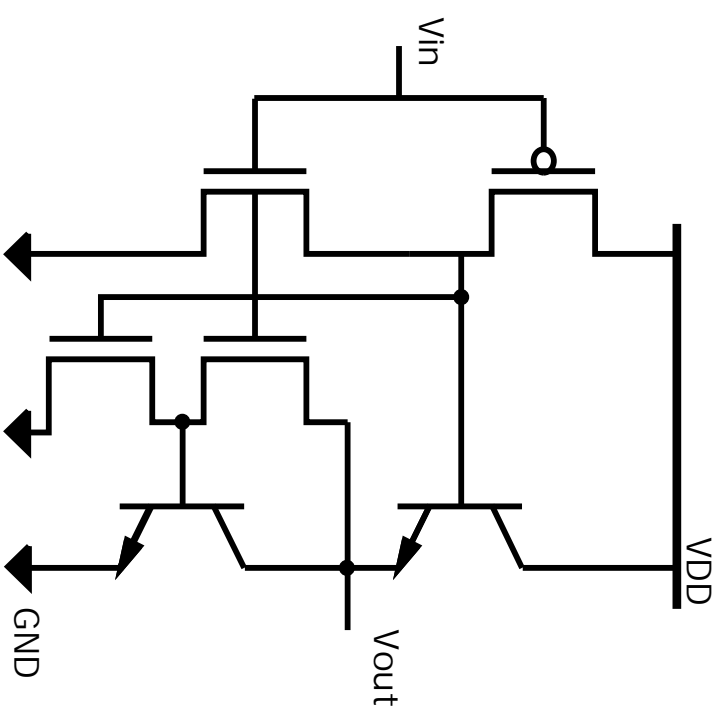
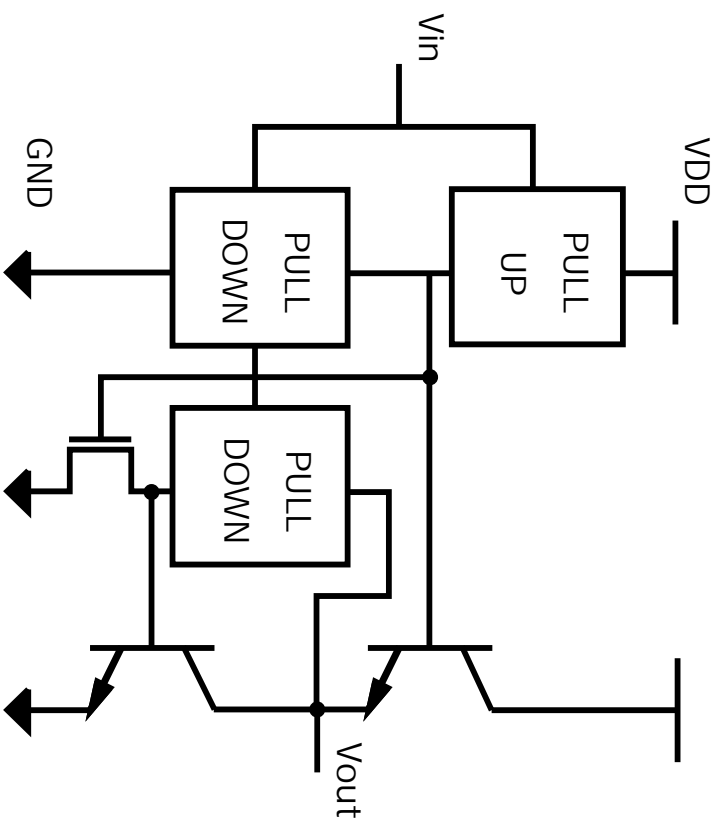


$$\tau_{0-0} = \frac{8\lambda}{2\lambda} R_s \frac{4\lambda^2}{4\lambda^2} C_g + \frac{2\lambda}{2\lambda} R_s 10C_g$$

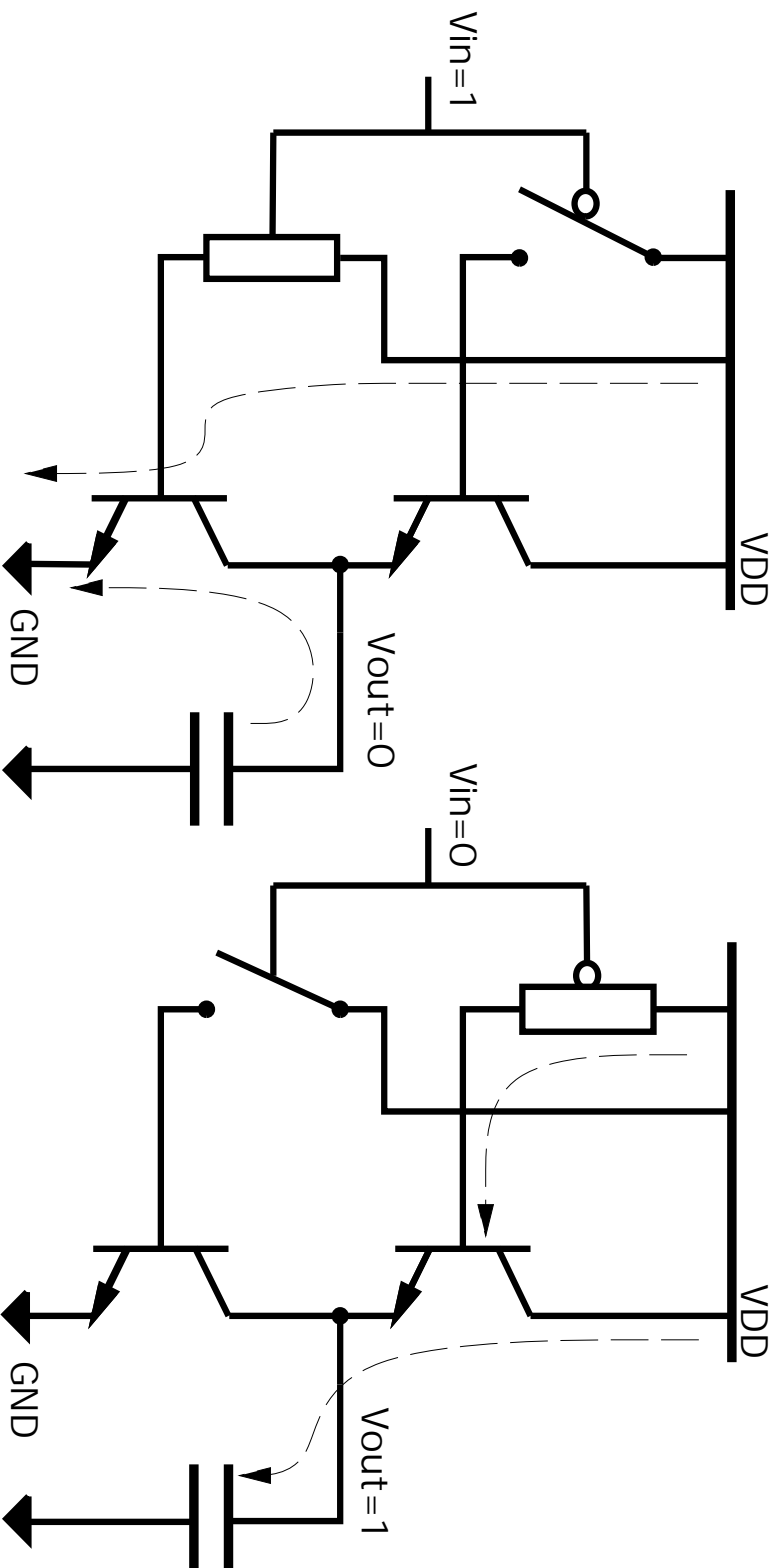
Inversor BiCMOS



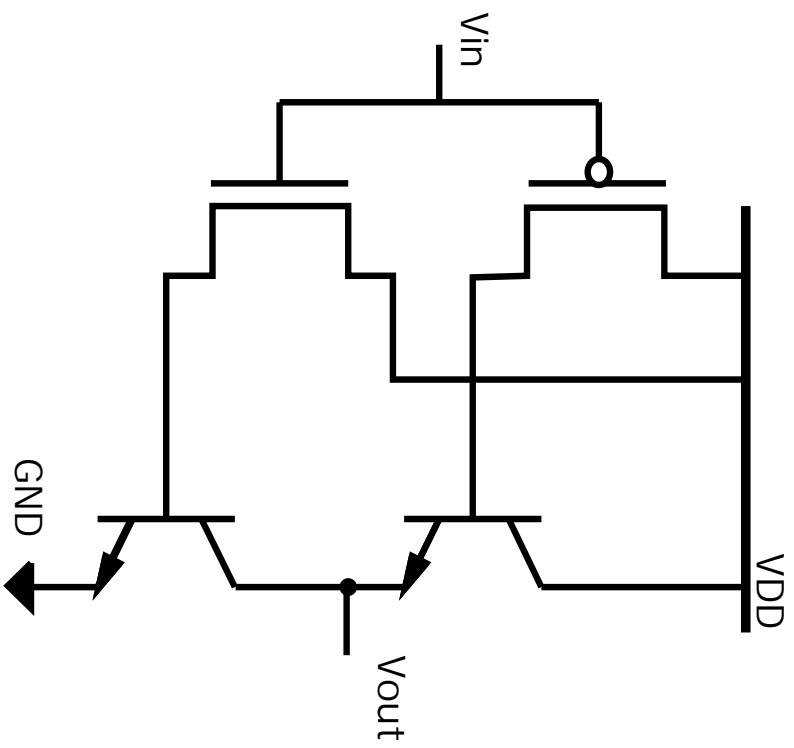
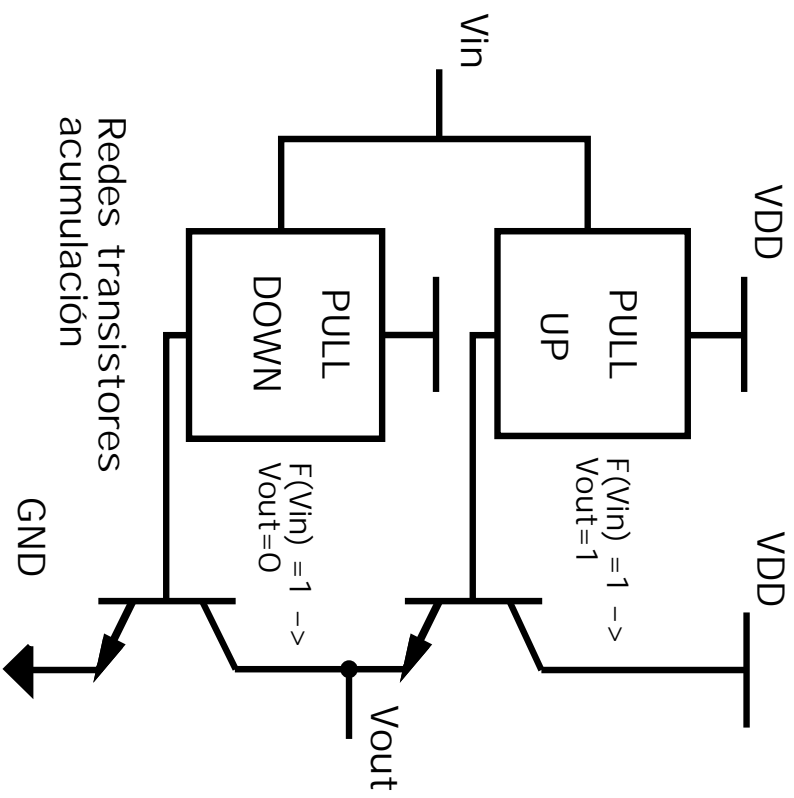
Inversor BicMOS



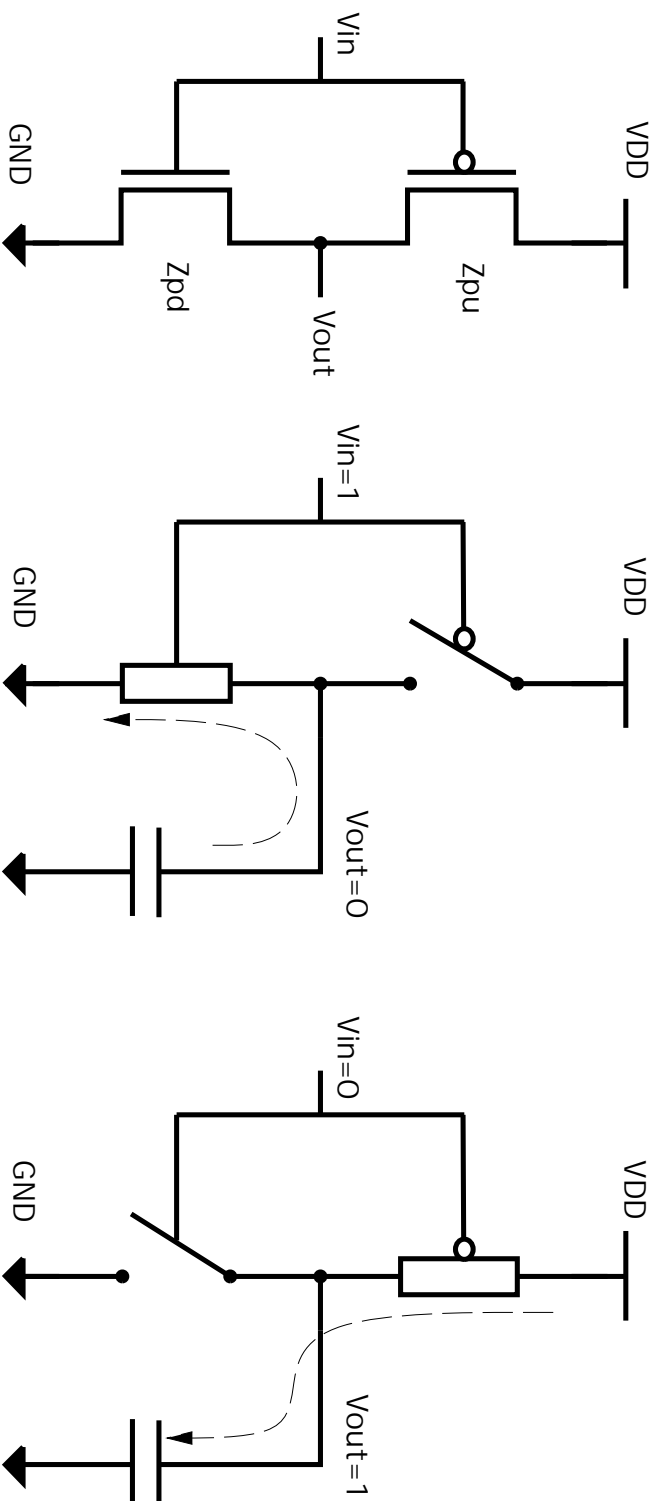
Inversor BiCMOS



Inversor BicMOS



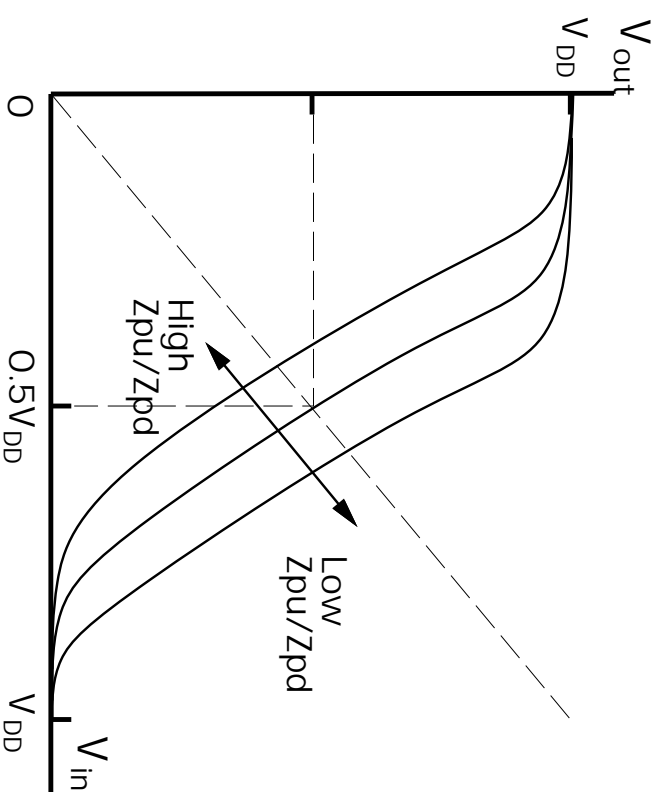
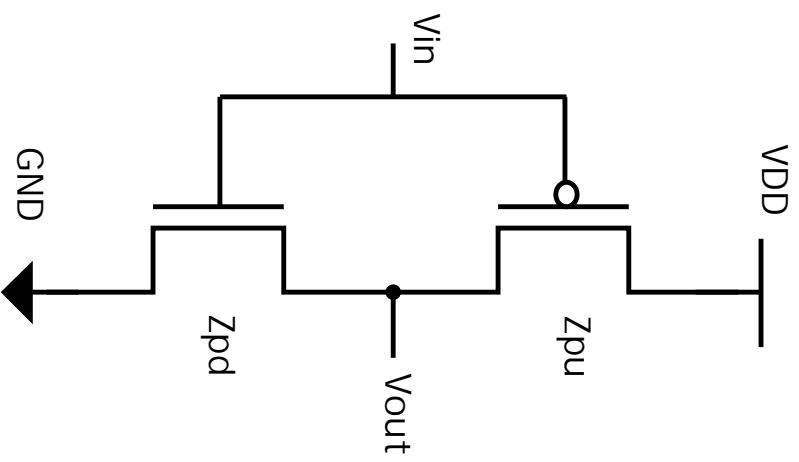
Inversor CMOS



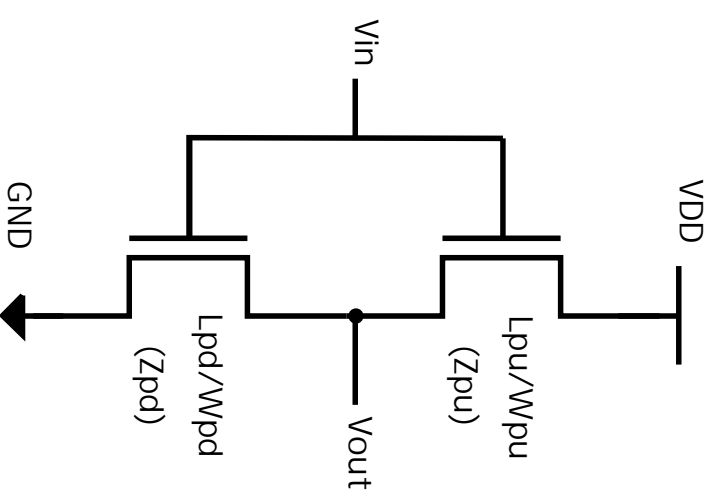
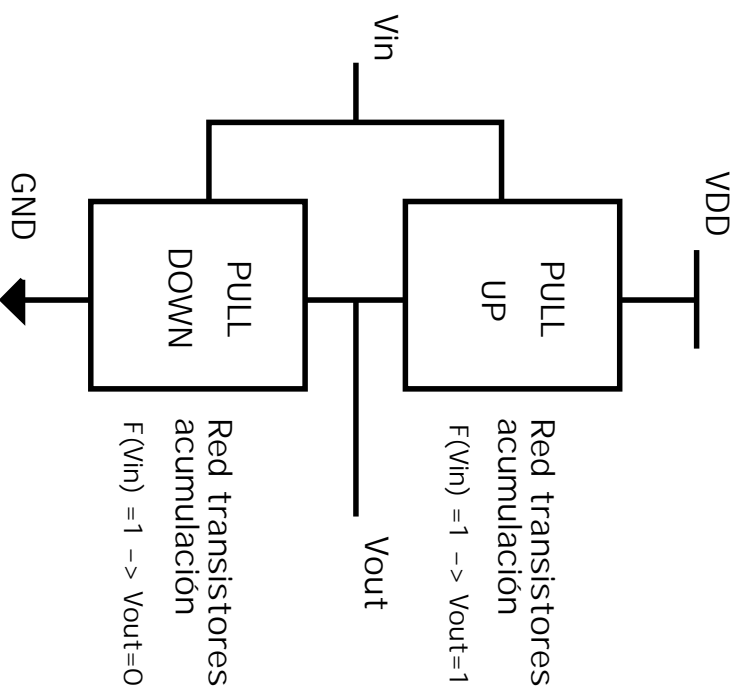
Comportamiento simétrico si $Z_{pu}/Z_{pd} = 1/2$

Debido a la movilidad de la carga en los transistores PMOS.

Inversor CMOS



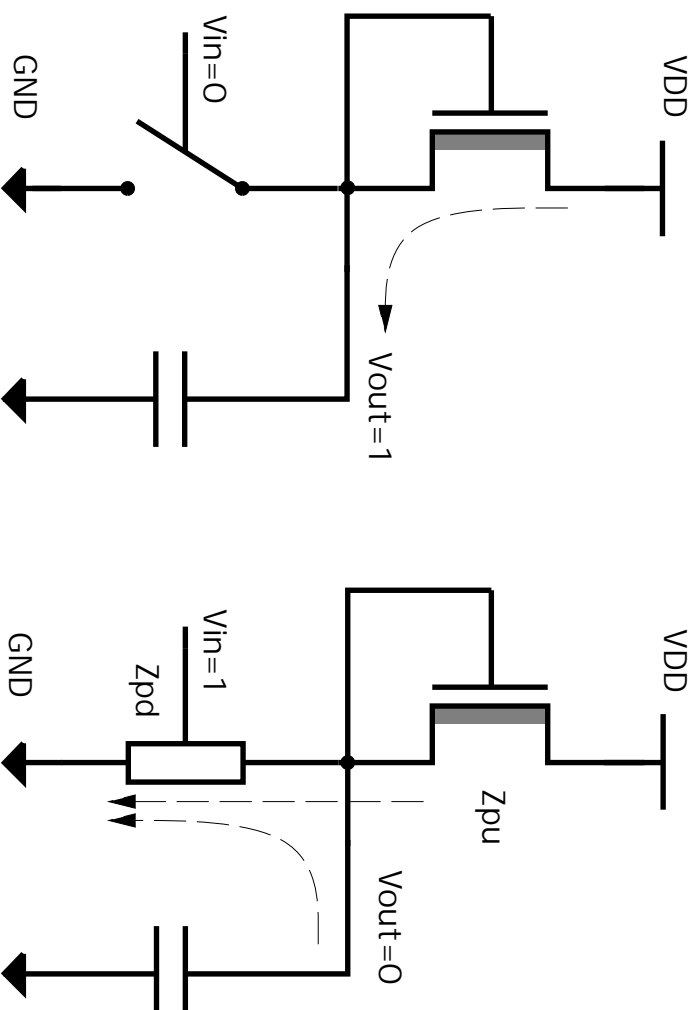
Inversor CMOS



- Duplicación de la lógica.
- Bajo consumo estático.
- Funciones lógicas simétricas.

Inversor NMOS

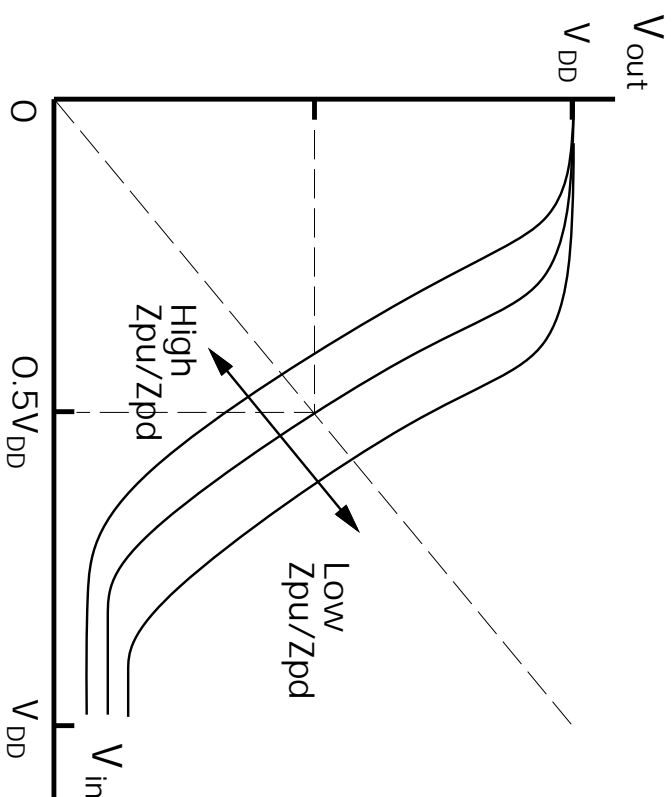
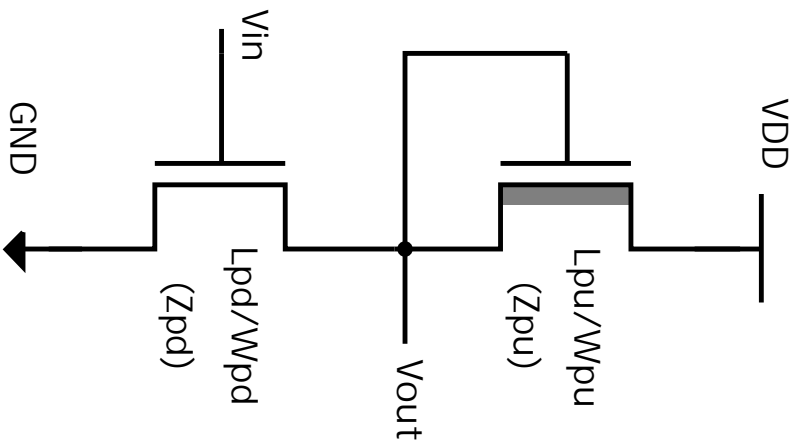
La relación Z_{pu}/Z_{pd} es crítica:



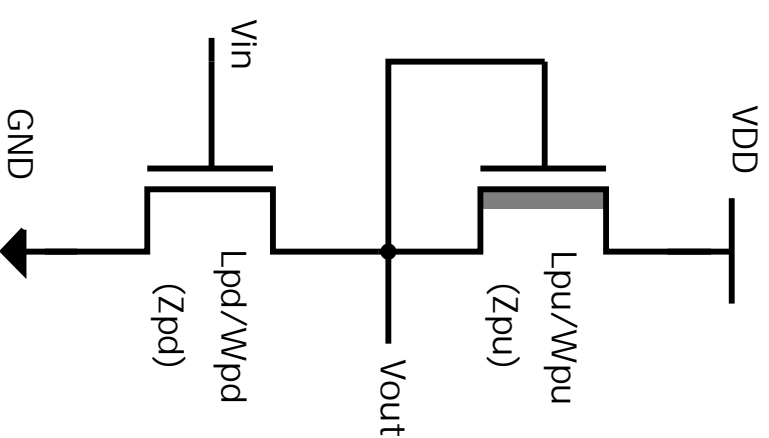
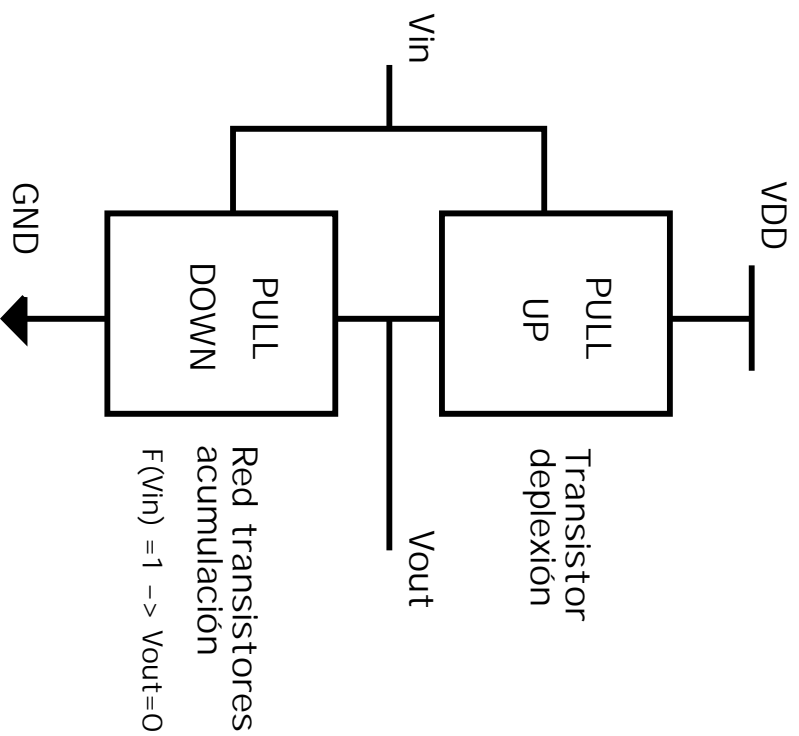
$$K \frac{W_{pd}}{L_{pd}} \frac{(V_{in} - V_t)^2}{2} = K \frac{W_{pu}}{L_{pu}} \frac{(-V_{td})^2}{2} \Rightarrow \sqrt{Z_{pu}/Z_{pd}} = 2 \Rightarrow Z_{pu}/Z_{pd} = 4/1.$$

$$(V_{in} = 0.5V_{DD}, V_t = 0.2V_{DD}, V_{td} = -0.6V_{DD})$$

Inversor NMOS



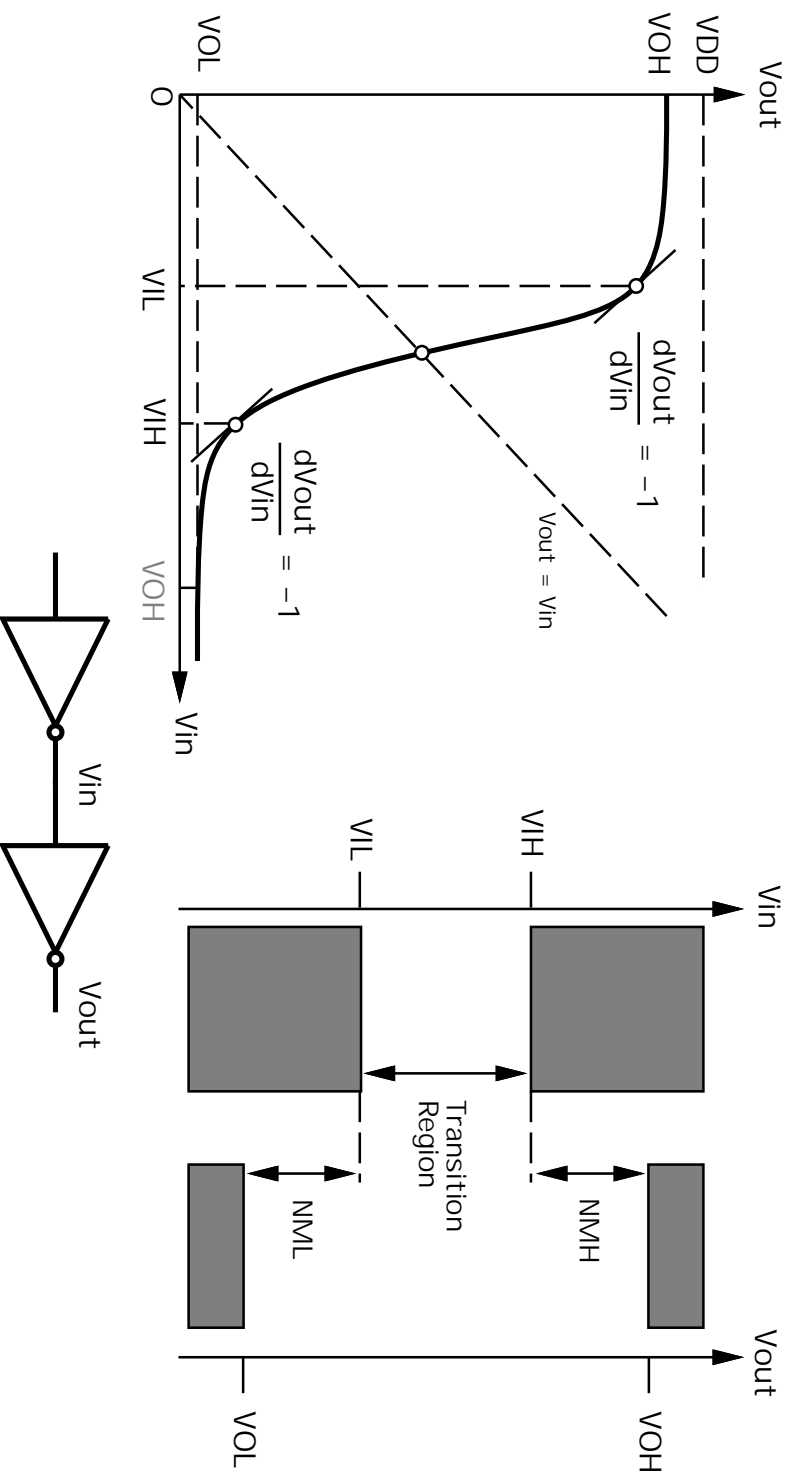
Inversor NMOS



- Alta integración.
- Consumo estático alto si $V_{out} = 0$.
- Ceros lógicos degradados.

Estructuras Básicas MOS

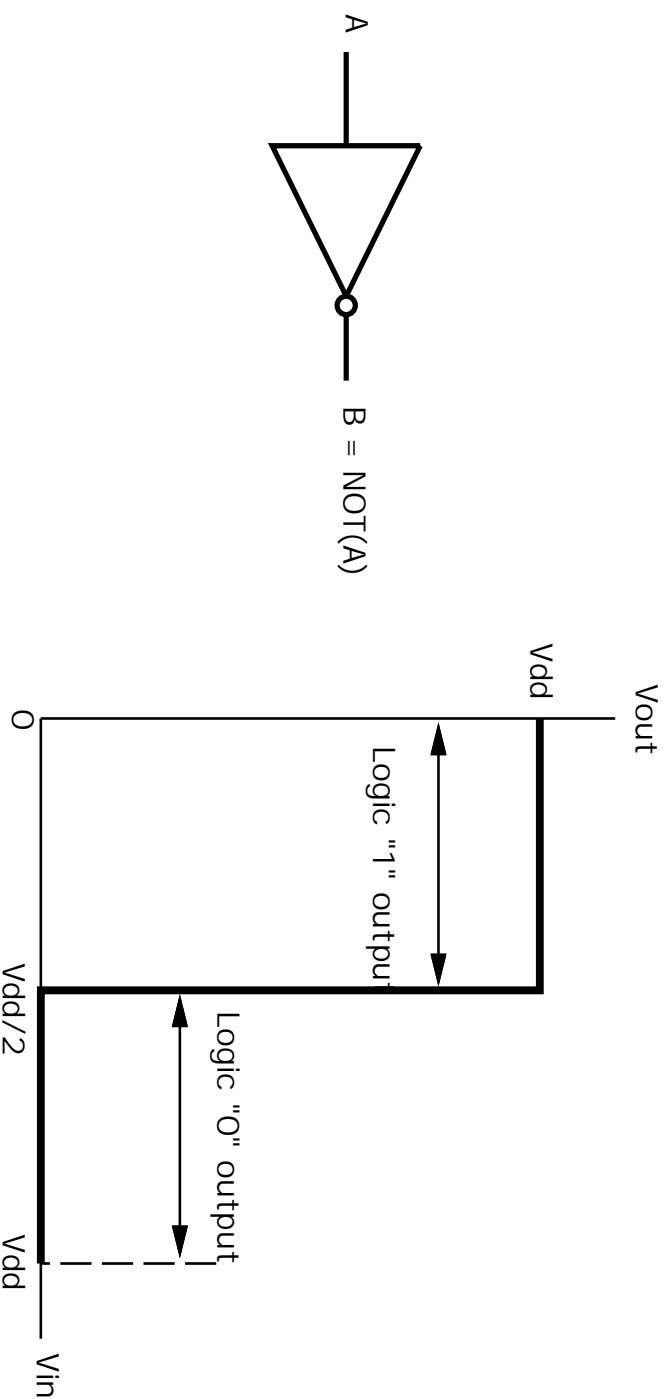
Curva de transferencia de voltaje real:



La curva de transferencia determina los márgenes de ruido (NM) y la región de indeterminación para la entrada.

Estructuras Básicas MOS

Curva de transferencia de voltaje ideal:



El comportamiento real es más complejo y depende de las impedancias y capacidades de los transistores.

Impedancia de un transistor MOS

La impedancia de un transistor ofrece una aproximación de la cantidad de corriente que es capaz de transmitir.

La impedancia Z es:

- directamente proporcional a la longitud L del canal.
- inversamente proporcional a la anchura W del canal.

La impedancia de un transistor PMOS Z_p es dos veces mayor que la impedancia de un transistor NMOS Z_n :

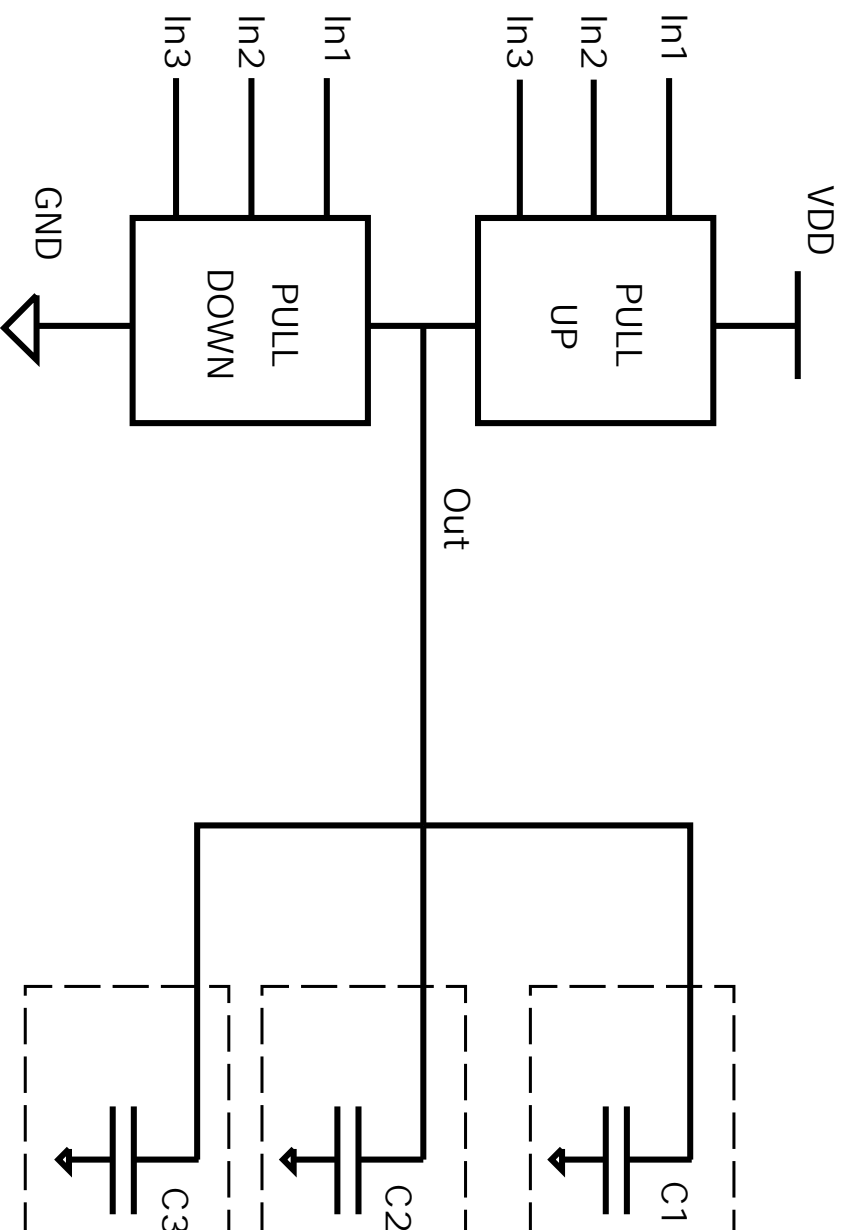
$$Z_p = 2 \cdot Z_n$$

Las dimensiones del transistor se indican como:

L/W valores reales, $L : W$ ratio entre valores.

Estructuras Básicas MOS

Estructura general de una puerta MOS:



Tecnología CMOS.

Diseño de lógica estática

Enrique Pastor Llorens

Rosa M. Badia

Agost 2001

Disseny Bàsic VLSI



Departament d'Arquitectura de Computadors
Universitat Politècnica de Catalunya