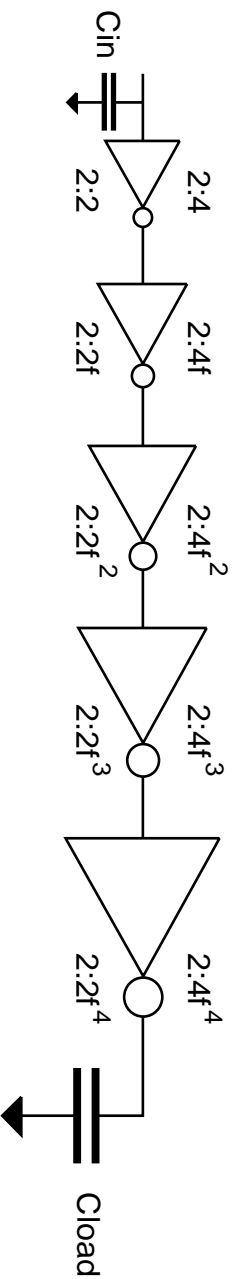


## Utilización de un super-buffer

---

Una vez diseñado el super-buffer, el retardo total se calcula de forma sistemática como:

$$T = T_{1\dots(N-1)} + T_N$$



- El retardo ( $T_{1\dots(N-1)}$ ) de las  $N - 1$  primeras etapas como:  $(N - 1) \times 3f\tau_n$
- El retardo ( $T_N$ ) de la última etapa se deba calcular aparte ya que depende del valor real de  $C_{load}$ .

## Utilización de un super-buffer

---

Si  $y = \frac{C_{load}}{C_{in}} = f^N$  entonces  $N \ln(f) = \ln(y)$

$$T \equiv N f \tau_n = \frac{\ln(y)}{\ln(f)} f \tau_n$$

Esta expresión se minimiza si  $\ln(f) = 1 \Rightarrow f = e$

Por tanto, si  $f = e$  entonces  $N = \ln(y) = \ln\left(\frac{C_{load}}{C_{in}}\right)$

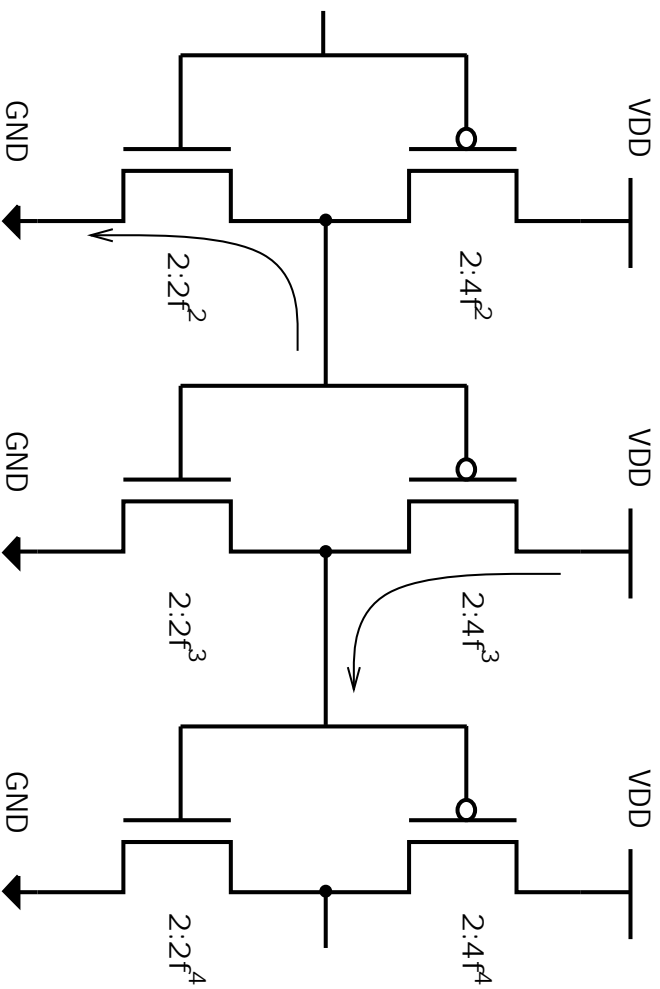
En realidad:

- si aplicamos logaritmo base 2 el valor óptimo de  $f$  es 2
- el factor  $f$  suele ser 2 o 3
- el número de etapas  $N$  puede ser  $\lceil N \rceil$  o  $\lfloor N \rfloor$

# Utilización de un super-buffer

---

El retardo de cada etapa es el mismo:

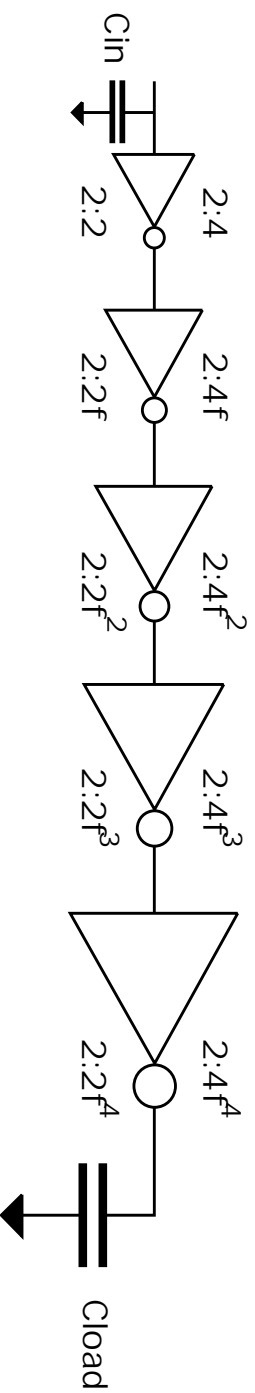


$$\tau_1 = \frac{2\lambda}{2f^2\lambda} R_s \times \frac{2(6f^3\lambda^2)}{4\lambda^2} C_g = \frac{R_s}{f^2} \times 3f^3 C_g = 3f\tau_n$$
$$\tau_2 = 2 \frac{2\lambda}{4f^3\lambda} R_s \times \frac{2(6f^4\lambda^2)}{4\lambda^2} C_g = \frac{R_s}{f^3} \times 3f^4 C_g = 3f\tau_n$$

## Utilización de un super-buffer

---

La alternativa es utilizar conjuntos de buffers encadenados, todos ellos con unas dimensiones incrementales:

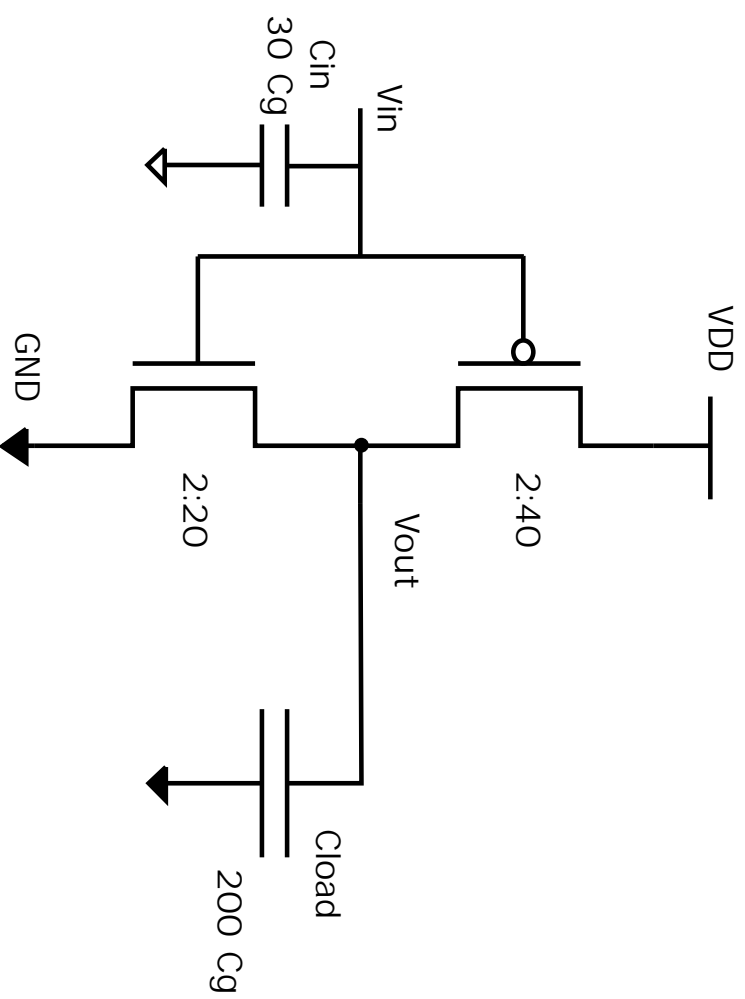


De esta forma el retardo de cada etapa es el mismo.

- Si el número de etapas  $N$  aumenta, también lo hace el retardo, por tanto hay que aumentar el factor  $f$ .
- Si el factor de escala  $f$  aumenta, reduce el número de etapas  $N$ .
- El factor crítico es la relación  $y = C_{load}/C_{in} = f^N$ .

## Utilización de un buffer

La utilización de un único buffer puede ser aceptable, pero induce la creación de nuevas puertas con grandes capacidades de entrada.



## **Carga de grandes capacidades**

Las puertas lógicas utilizadas para atacar grandes capacidades deben poseer valores reducidos de impedancia en el canal (llamadas buffers).

Reducir la impedancia de un transistor se consigue disminuyendo correctamente el ratio  $L:W$  del canal. Como la longitud ( $L$ ) del canal no puede reducirse por debajo de un límite, es preciso incrementar la anchura ( $W$ ) hasta conseguir los valores de impedancia deseados.

Esto ocasiona dos efectos contra productores:

- El tamaño de los transistores se incrementa considerablemente.
- La capacidad de puerta se incrementa, retardando la puerta encargada de controlar el buffer.

# Tecnología MOS. Super – buffers

Enrique Pastor Llorens

Rosa M. Badia

Octubre 2001

Disseny Bàsic VLSI



Departament d'Arquitectura de Computadors  
Universitat Politècnica de Catalunya