

---

# Diseño VLSI

## Diseño y análisis con SPICE

Enric Pastor

Dept. Arquitectura de Computadors

UPC

# Contenido

---

- Visión general de SPICE
- Descripción SPICE:
  - Nodos
  - Componentes básicos
  - Transistores: dimensiones y capacidades
  - Diseño modular
  - Descripción de las entradas
  - Alimentación: medición del consumo
  - Conexión
- Tecnología  $0.35\mu$  /  $0.5\mu$
- Ejemplo: un inversor SPICE, Brent-Kung 32 bit adder

# SPICE: simulador eléctrico

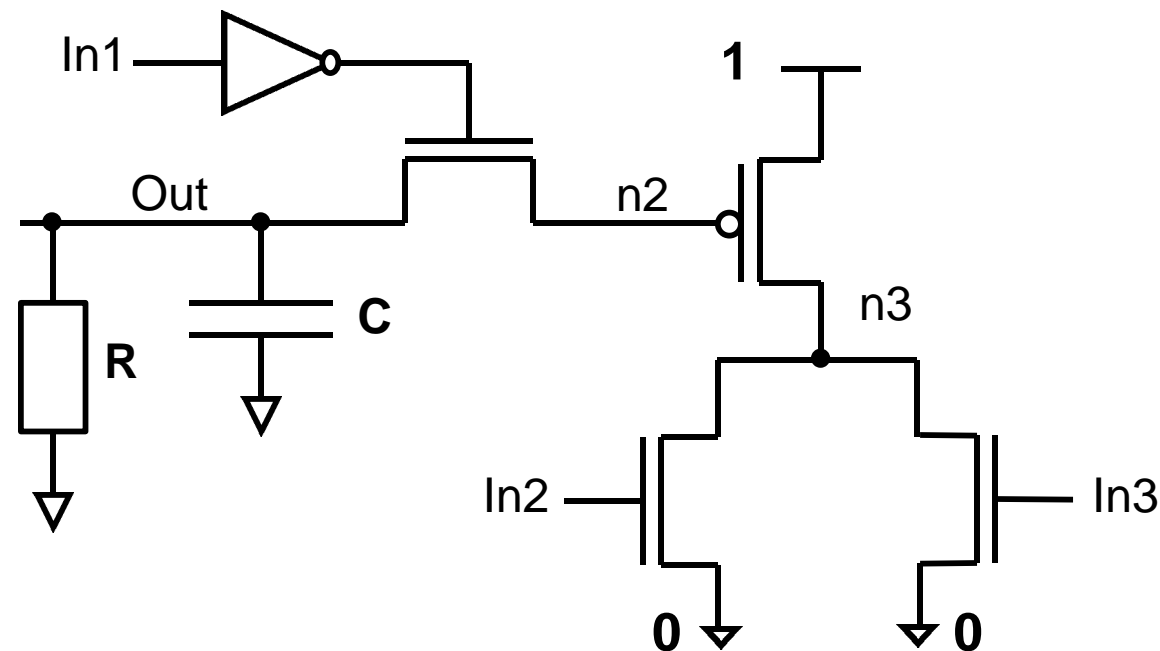
---

- SPICE soporta múltiples tipos de componentes:
  - Resistencias, capacidades, fuentes de alimentación...
  - Transistores NMOS, PMOS
  - Líneas de transmisión
  - Descripción modular
- Comportamiento se describe con ecuaciones diferenciales:
  - Modelos simples para las resistencias, capacidades
  - Variedad de modelos para los transistores
- SPICE analiza discretizando el tiempo
  - Puede no converger o necesitar reducir los intervalos
  - No convergencia suele implicar un error en el diseño

# Descripción SPICE:

# Nodos

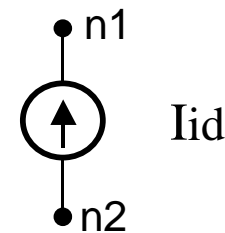
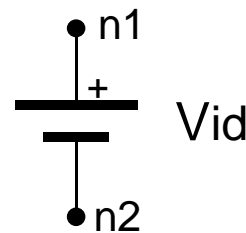
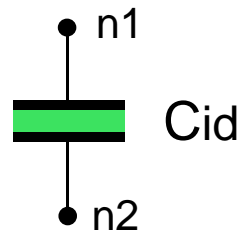
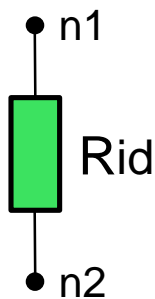
- SPICE analiza redes de nodos:
  - Cada nodo puede conectarse a otros mediante componentes
  - Cada nodo tiene asignado un nombre o número
  - Los nodos no tienen asignada ninguna dirección
  - Nodos dedicados **1** y **0**



# Descripción SPICE: Componentes

---

- El tipo de componente se identifica por el primer carácter
- Componentes más utilizados:
  - Resistencias: **R**id nodo1 nodo2 valor (*ohms*)
  - Capacidades **C**id nodo1 nodo2 valor (*faradios*)
  - Fuente tensión **V**id nodo1 nodo2 valor (*voltios*)
  - Fuente corriente **I**id nodo1 nodo2 valor (*amperios*)



# Descripción SPICE: Transistores

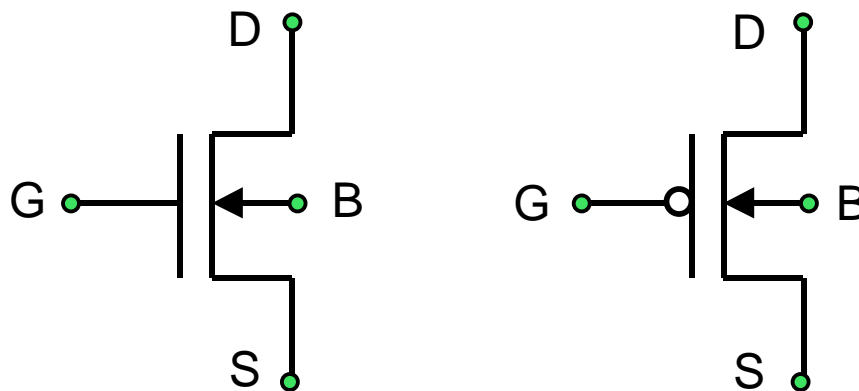
---

- Podemos modelar multitud de dispositivos.
- Nos centraremos en los transistores de tipo MOS:

**M***id*      *nodoD* *nodoG* *nodoS* *nodoB* *tipo*

- Descripción:

- *nodoD*: drenador      *nodoG*: puerta
- *nodoS*: surtidor      *nodoB*: substrato
- **tipo**: NMOS / PMOS

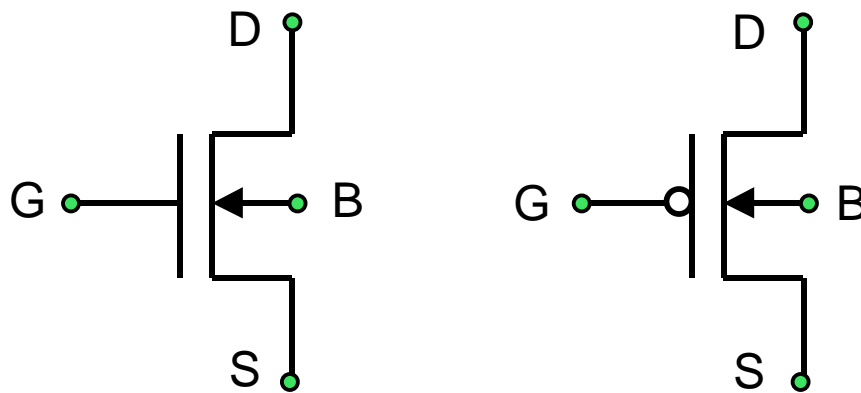


# Descripción SPICE: Transistores

---

- Parámetros adicionales:
  - $W$ : anchura del canal  $L$ : longitud del canal
  - $PD$  /  $PS$ : perímetros del drenador / surtidor
  - $AD$  /  $AS$ : área del drenador / surtidor
  - **tipo**: NMOS / PMOS

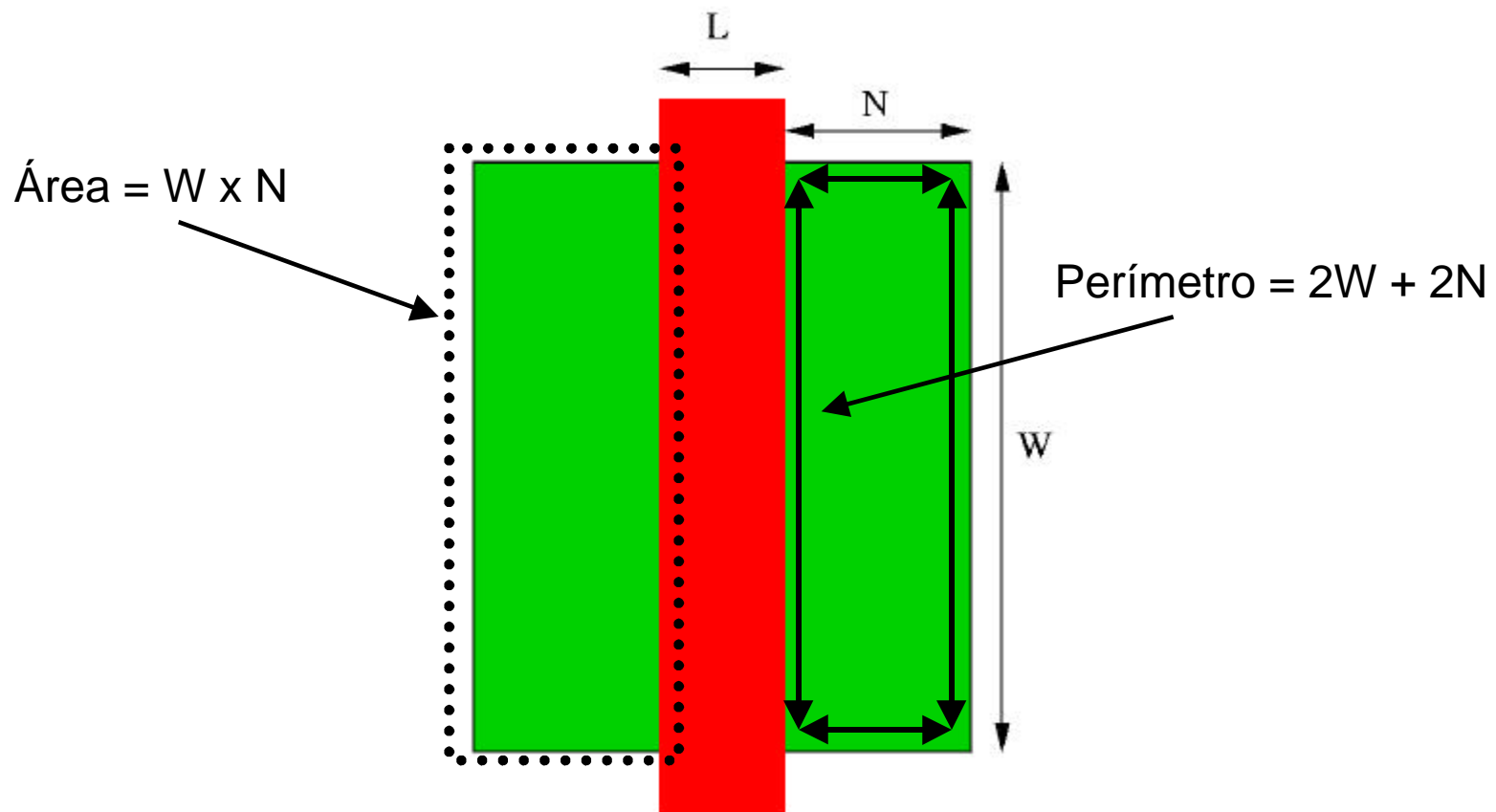
$Mid$   $nD$   $nG$   $nS$   $nB$   $tipo$   $W=$   $L=$   $PD=$   $AD=$   $PS=$   $AS=$



# Descripción SPICE: Transistores

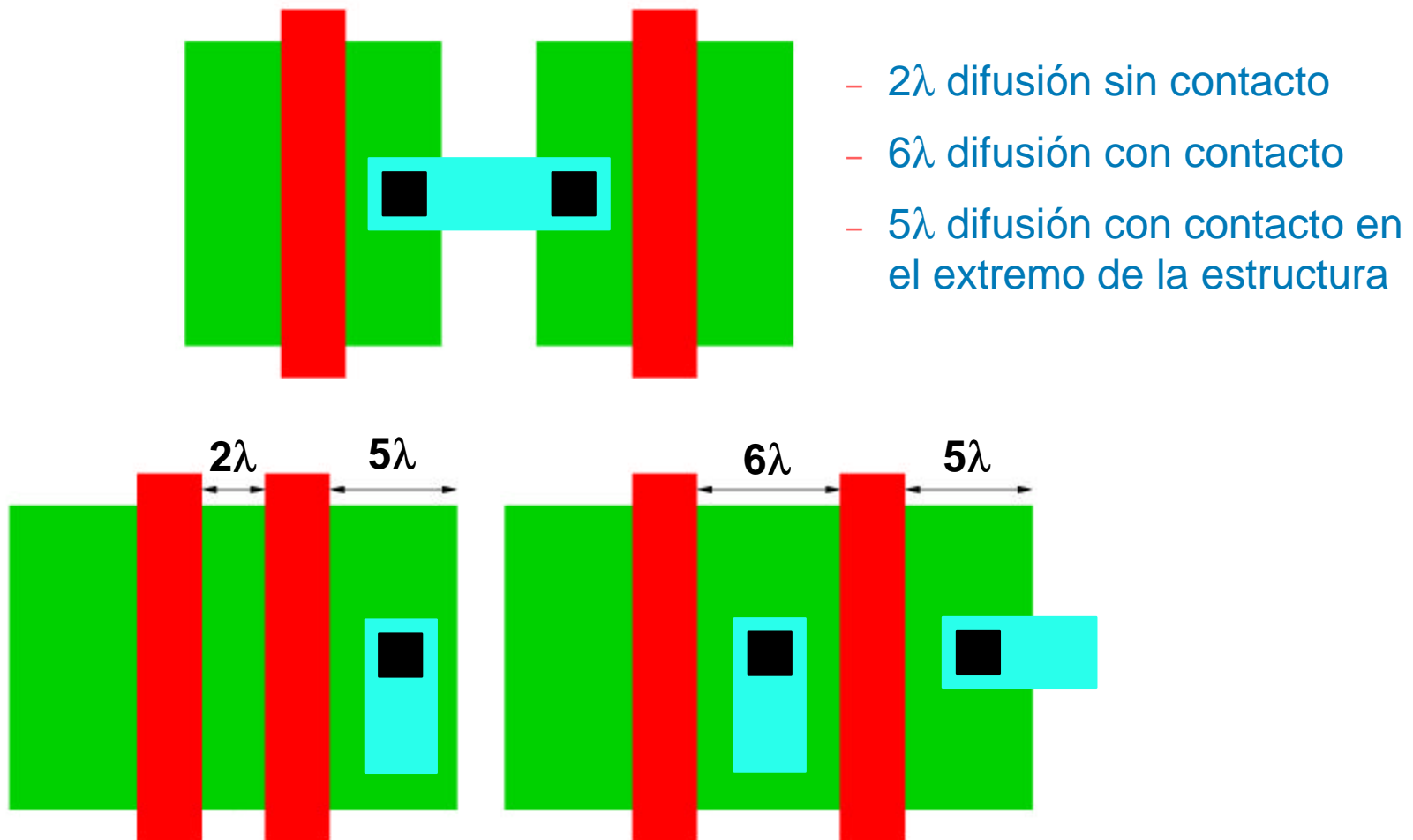
---

- Como determinar las áreas y perímetros de un transistor?



# Descripción SPICE:

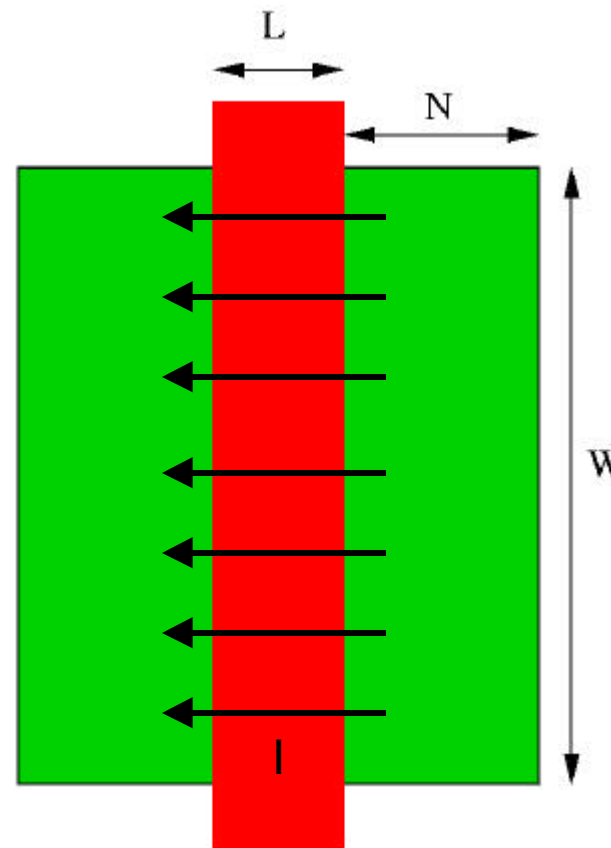
# Transistores



# Descripción SPICE: Transistores

---

- L y W determinan el comportamiento del transistor:
  - Resistencia  $\sim L/W$
  - L: mayor resistencia
  - W: menor resistencia
- Transistor PMOS:
  - Menos corriente que un transistor NMOS
  - Penalización entre 2-3



# Descripción SPICE:

# Módulos

---

- Descripción de una celda:

*.SUBCKT NombreCelda ListaNodos*

*\*Descripción del contenido*

*.ENDS NombreCelda*

- Recomendamos:

*ListaNodos:*

*ListaEntradas ListaSalidas 1(Vdd) 0(Gnd)*

- Uso de la celda:

*Xid ListaNodos NombreCelda*

# Descripción SPICE:

# Entradas

---

- Descripción de una entrada:
  - Cronograma de la señal.
  - Lista de puntos como pares (tiempo, valor).
  - Interpolación lineal entre puntos.

**Vnodo Nudo 0 pw1 (*Tiempo1 Valor1 Tiempo2 Valor2 ...*)**

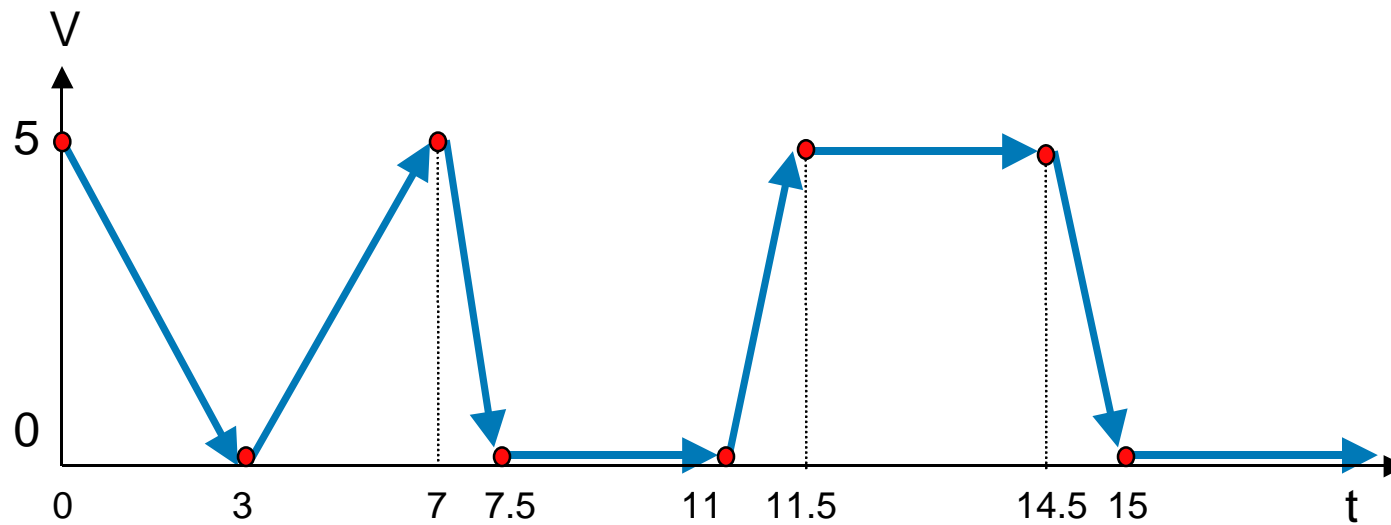
- Detalles de uso:
  - Definir el valor para el tiempo 0.
  - Los pasos de 0 a 1 o de 1 a 0 no pueden ser instantáneos.
  - Cada flanco requiere dos puntos para definir la pendiente deseada en la transición.

# Descripción SPICE:

# Entradas

- Ejemplo:

```
Vnodo Nodo 0 pwl ( 0ns 5 3ns 0
+ 7ns 5 7.5ns 0
+ 11ns 0 11.5ns 5
+ 14.5ns 5 15ns 0)
```



# Descripción SPICE:

# Pulsos

---

- Descripción de señales periódicas:
  - **V1** Valor inicial.
  - **V1** Valor en la pulsación.
  - **TD** Latencia inicial de la pulsación.
  - **TR** Tiempo de subida.
  - **TF** Tiempo de bajada.
  - **PW** Anchura de pulso.
  - **PER** Periodo de la pulsación.

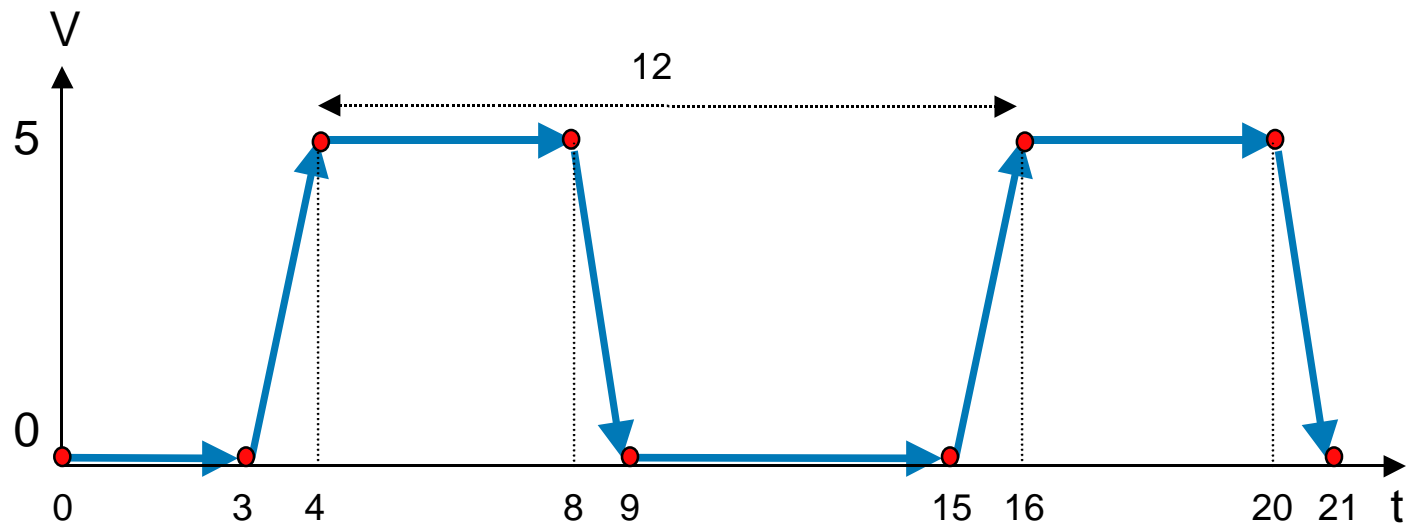
**Vnodo** **Nodo** **0** **PULSE** (**V1** **V2** **TD** **TR** **TF** **PW** **PER**)

# Descripción SPICE:

# Pulsos

- Ejemplo:

```
Vnodo Nodo 0 PULSE ( 0      5  
+           3ns  1ns  1ns  4ns  
+           12ns )
```



# Descripción SPICE: Alimentación

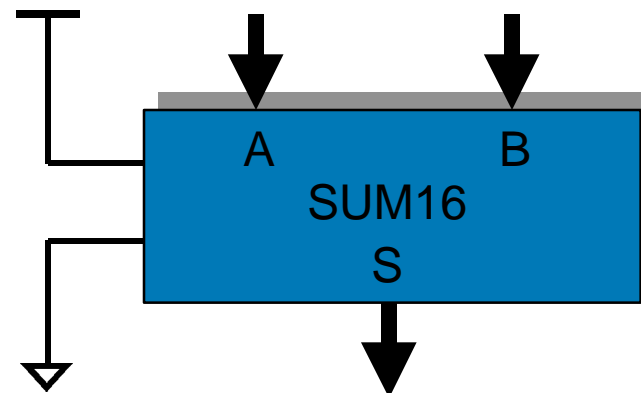
---

- Fuente de alimentación:
  - Define los valores eléctricos para *Vdd* y *Gnd* .
  - Valores comunes para todo el sistema.

\* 5v entre vdd (nodo 1) y gnd (nodo 0)

```
VCC 1 0 DC 5V
```

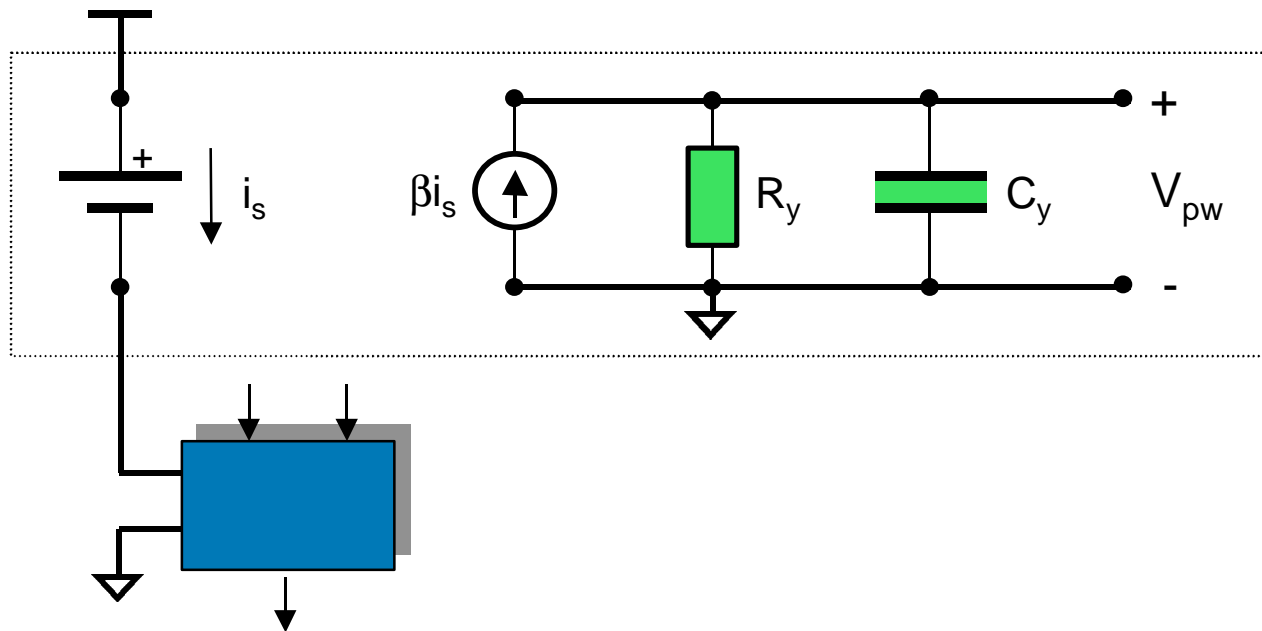
```
XSUM  A15 A14 ... A2 A1 A0  B15 B14 ... B2 B1 B0  
+      S15 S14 ... S2 S1 S0  1  0 sum16
```



# Descripción SPICE: Alimentación

- Fuente de alimentación:
  - Sensor de corriente: corriente + consumo total acumulado .

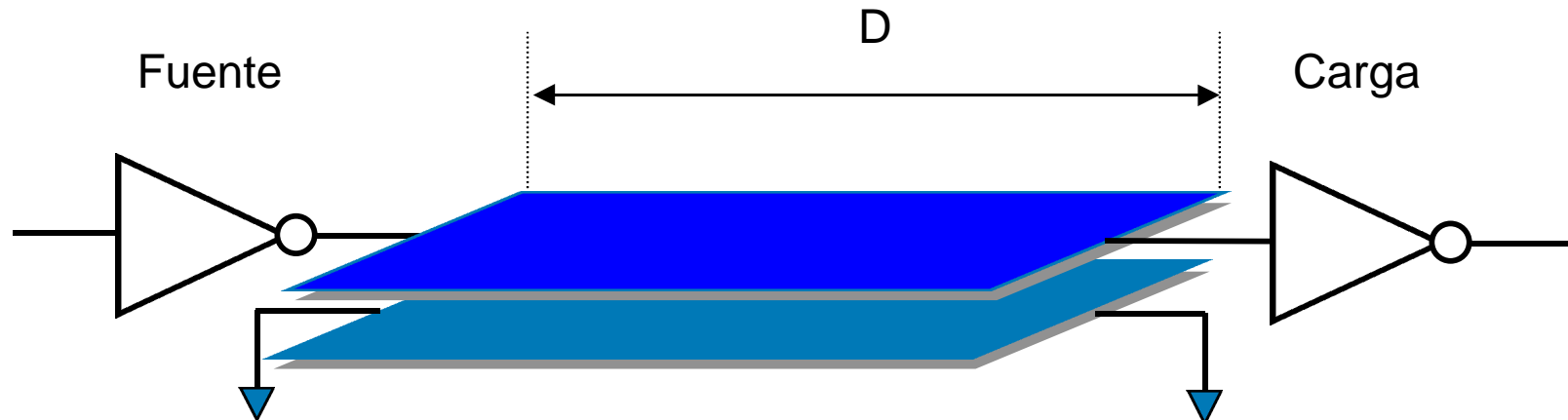
```
XPS Vsupp Vpw 1 0 Pmeter
XSUM A15 A14 ... A2 A1 A0 B15 B14 ... B2 B1 B0
+ S15 S14 ... S2 S1 S0 Vsupp 0 sum16
```



# Descripción SPICE:

# Conexión

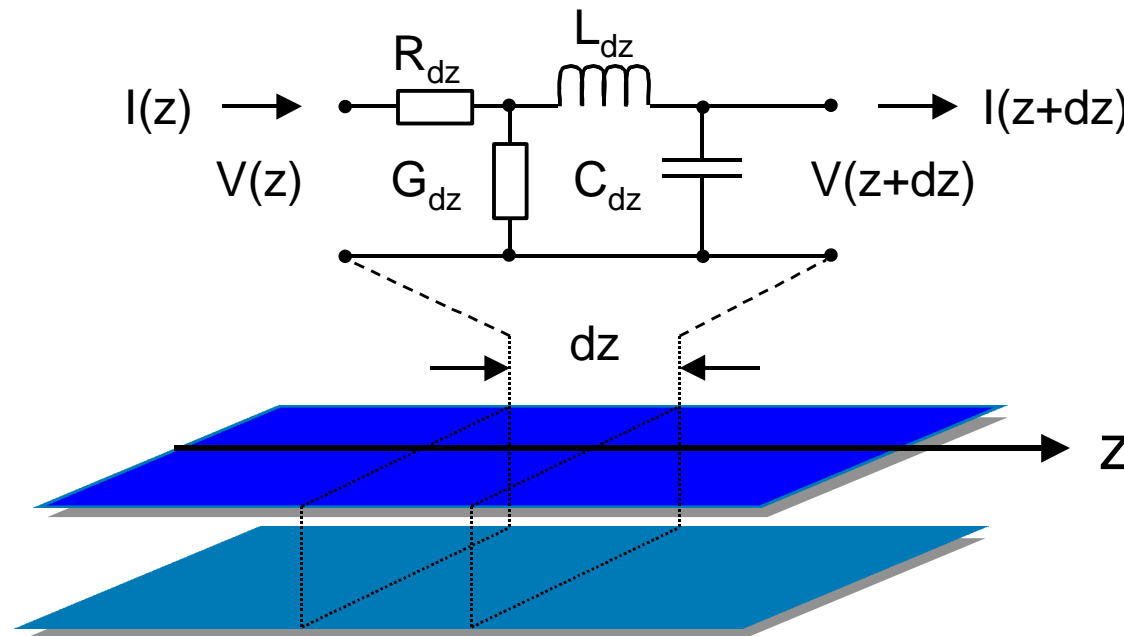
- Transmisión de datos:
  - Un conductor sobre el substrato
- Modelos de comunicación:
  - Transmission line analysis
  - Lumped-element analysis



# Descripción SPICE:

# Transmission line

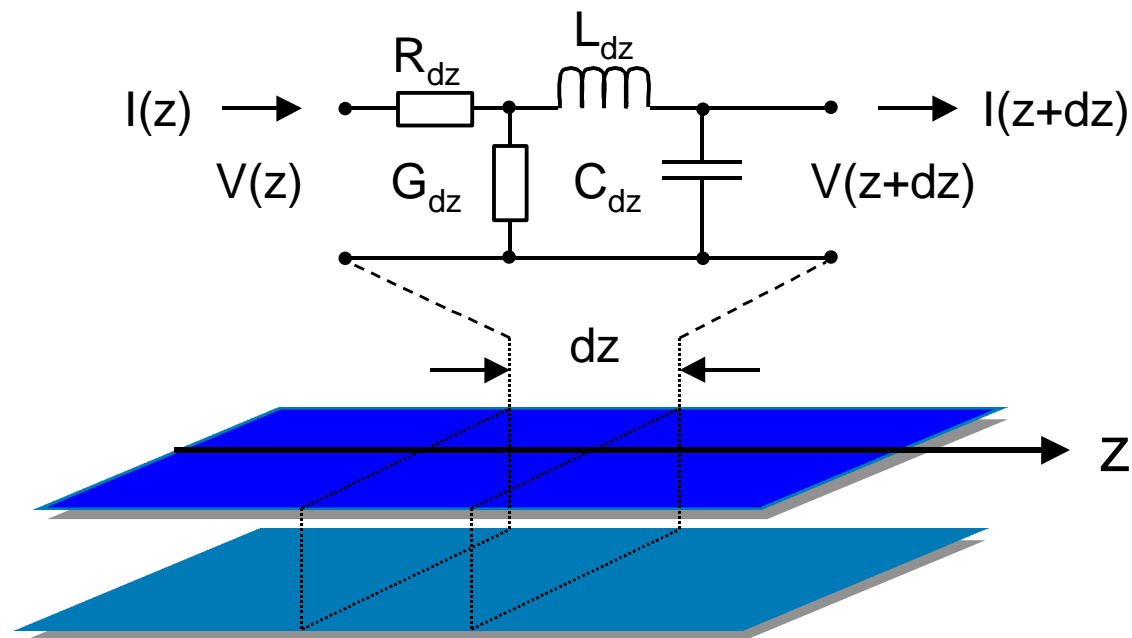
- Análisis por segmentos:
  - Resistencia ( $R_{dz}$ ), capacidad ( $C_{dz}$ ), inductancia ( $L_{dz}$ ) y leakage ( $G_{dz}$ ) por unidad de longitud en la conexión ( $dz$ ).



# Descripción SPICE:

# Transmission line

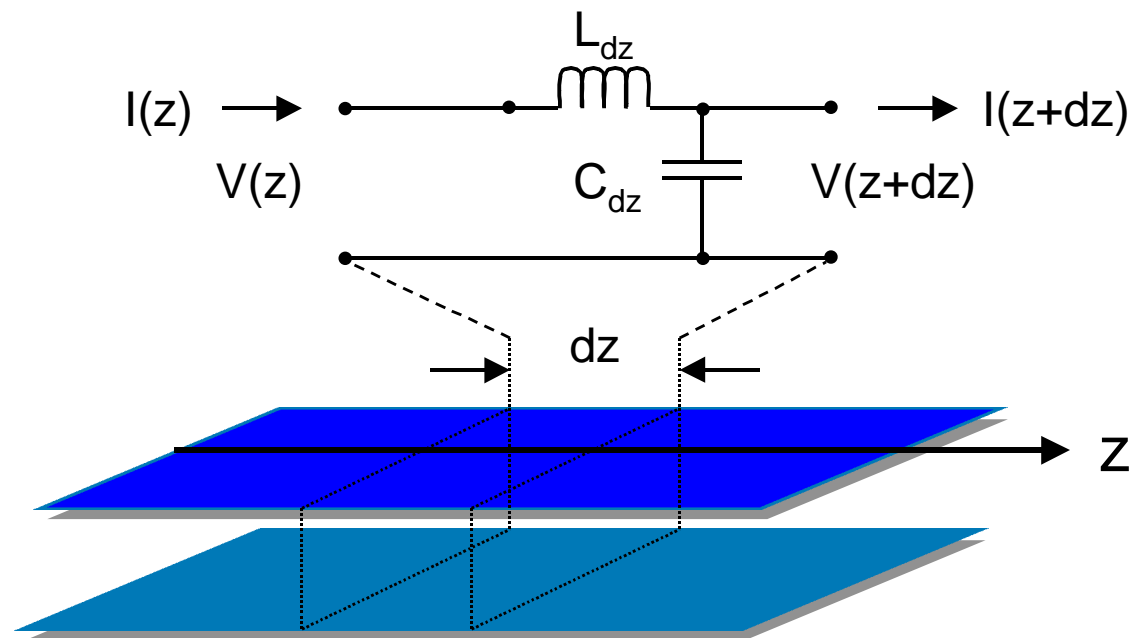
- Canal con pérdidas:
  - Resistencia ( $R_{dz}$ ) y leakage ( $G_{dz}$ ) producen caídas de tensión y pérdidas de corriente.



# Descripción SPICE:

# Transmission line

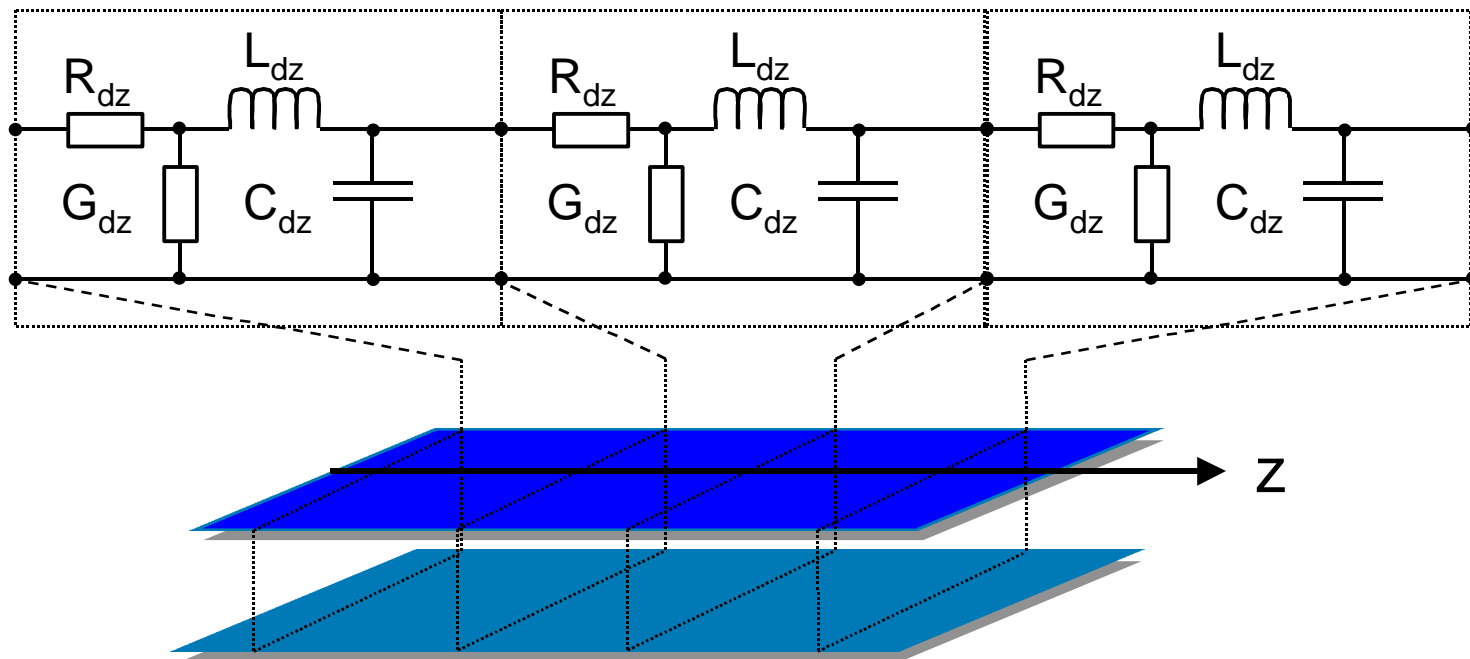
- Canal sin pérdidas:
  - Solo tenemos capacidad ( $C_{dz}$ ) e inductancia ( $L_{dz}$ ) que afectan al retardo de la conexión.



# Descripción SPICE:

# Lumped-Element

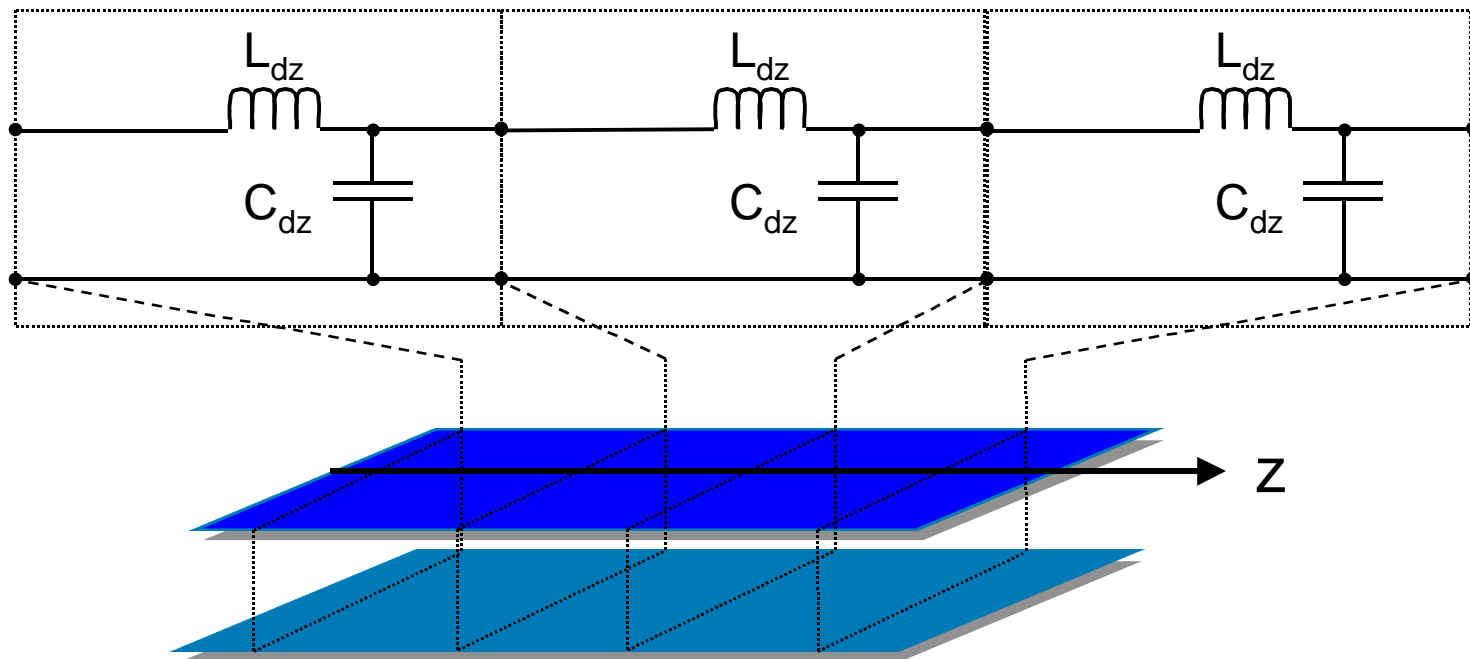
- Simulación de un canal con pérdidas:
  - Utilizamos múltiples elementos de transmisión.



# Descripción SPICE:

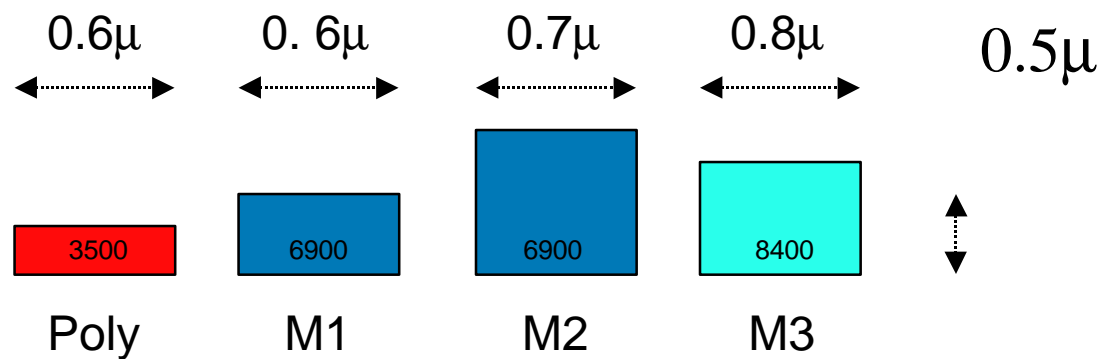
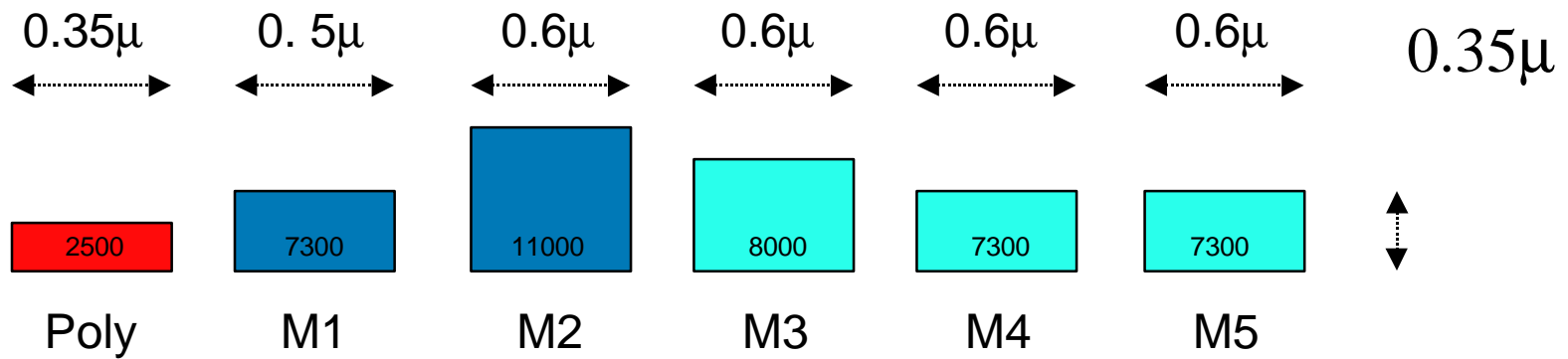
# Lumped-Element

- Simulación de un canal sin pérdidas:
  - Utilizamos múltiples elementos de transmisión.



# Descripción SPICE:

Tecnología 0.35 $\mu$  / 0.5 $\mu$



# Descripción SPICE:

Tecnología 0.35 $\mu$

---

- Parámetros de Resistencia:

Poly Sheet R	10 - 30 $\Omega/\bullet$
N+ Sheet R	10 - 30 $\Omega/\bullet$
P+ Sheet R	10 - 30 $\Omega/\bullet$
M1-M5 Sheet R	35 - <b>55</b> - 75 m $\Omega/\bullet$
High poly Sheet R	800 - <b>1000</b> - 1200 m $\Omega/\bullet$
Contact R	2 - 15 $\Omega/\text{cnt}$
Via R	1 - 3 $\Omega/\text{cnt}$

# Descripción SPICE:

Tecnología 0.35 $\mu$

---

- Parámetros de Capacidad:

M1 to DIFF	<b>0.036</b> fF/ $\mu\text{m}^2$
M1 to POLY	<b>0.047</b> fF/ $\mu\text{m}^2$
M1 to SUB	<b>0.033</b> fF/ $\mu\text{m}^2$
M2 to SUB	<b>0.012</b> fF/ $\mu\text{m}^2$
M3 to SUB	<b>0.008</b> fF/ $\mu\text{m}^2$
M4 to SUB	<b>0.005</b> fF/ $\mu\text{m}^2$
M5 to SUB	<b>0.004</b> fF/ $\mu\text{m}^2$
POLY to SUB	<b>0.126</b> fF/ $\mu\text{m}^2$
POLY	<b>4.93</b> fF/ $\mu\text{m}^2$

# Descripción SPICE:

Tecnología 0.35 $\mu$  / 0.5 $\mu$

---

- Parámetros de Resistencia:

Poly Sheet R	10 $\Omega/\bullet$	30 $\Omega/\bullet$
N+ Sheet R	10 $\Omega/\bullet$	90 $\Omega/\bullet$
P+ Sheet R	10 $\Omega/\bullet$	115 $\Omega/\bullet$
M1-M5 Sheet R	55 m $\Omega/\bullet$	85 - 55 m $\Omega/\bullet$
High poly Sheet R	1000 m $\Omega/\bullet$	- - - -
Contact R	2 - 15 $\Omega/\text{cnt}$	40 - 80 $\Omega/\text{cnt}$
Via R	1 - 3 $\Omega/\text{cnt}$	1 - 3 $\Omega/\text{cnt}$

# Descripción SPICE:

Tecnología 0.35 $\mu$  / 0.5 $\mu$

---

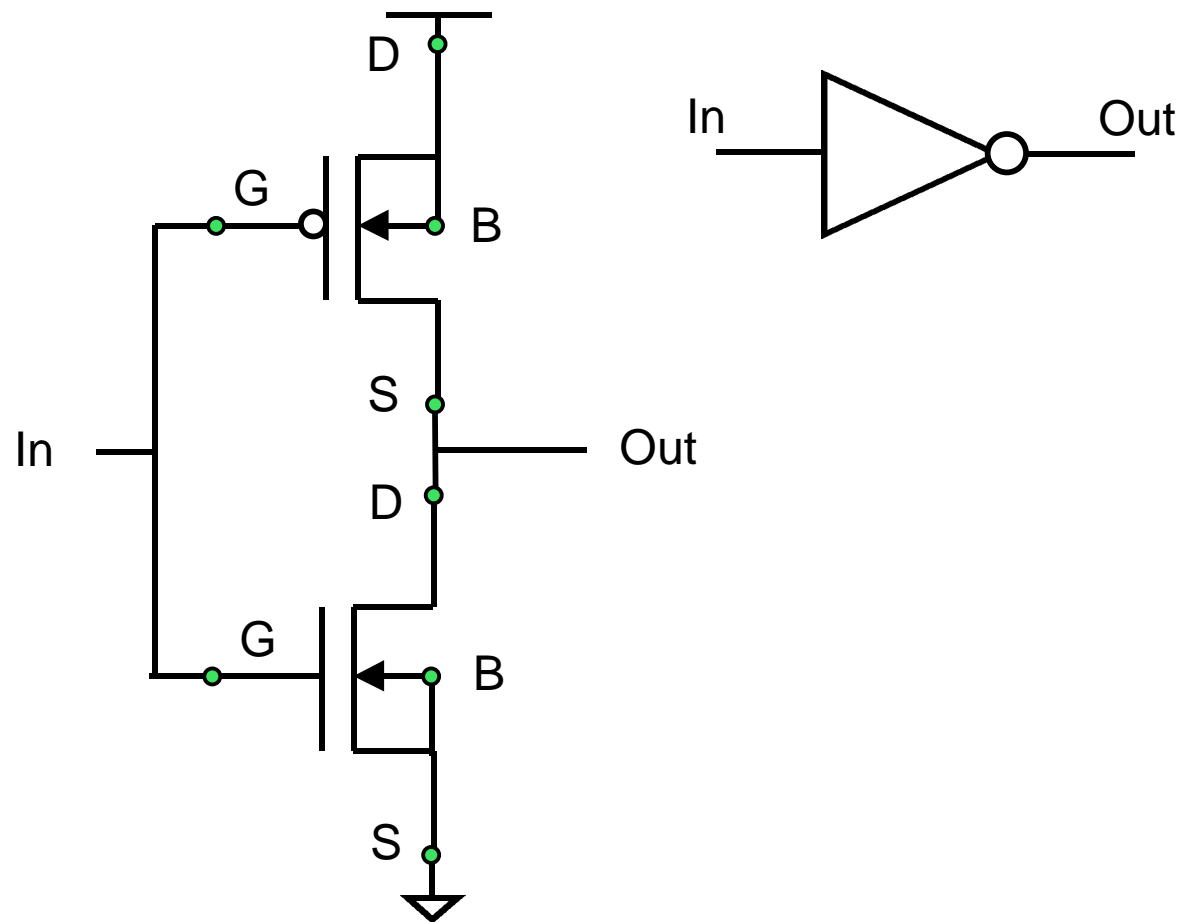
- Parámetros de Capacidad:

M1 to DIFF	<b>0.036</b> fF/ $\mu\text{m}^2$	<b>0.031</b> fF/ $\mu\text{m}^2$
M1 to POLY	<b>0.047</b> fF/ $\mu\text{m}^2$	<b>0.049</b> fF/ $\mu\text{m}^2$
M1 to SUB	<b>0.033</b> fF/ $\mu\text{m}^2$	<b>0.031</b> fF/ $\mu\text{m}^2$
M2 to SUB	<b>0.012</b> fF/ $\mu\text{m}^2$	<b>0.011</b> fF/ $\mu\text{m}^2$
M3 to SUB	<b>0.008</b> fF/ $\mu\text{m}^2$	<b>0.007</b> fF/ $\mu\text{m}^2$
M4 to SUB	<b>0.005</b> fF/ $\mu\text{m}^2$	- - - -
M5 to SUB	<b>0.004</b> fF/ $\mu\text{m}^2$	- - - -
POLY to SUB	<b>0.126</b> fF/ $\mu\text{m}^2$	<b>0.12</b> fF/ $\mu\text{m}^2$
POLY	<b>4.93</b> fF/ $\mu\text{m}^2$	<b>2.56</b> fF/ $\mu\text{m}^2$

# Ejemplo: inversor

---

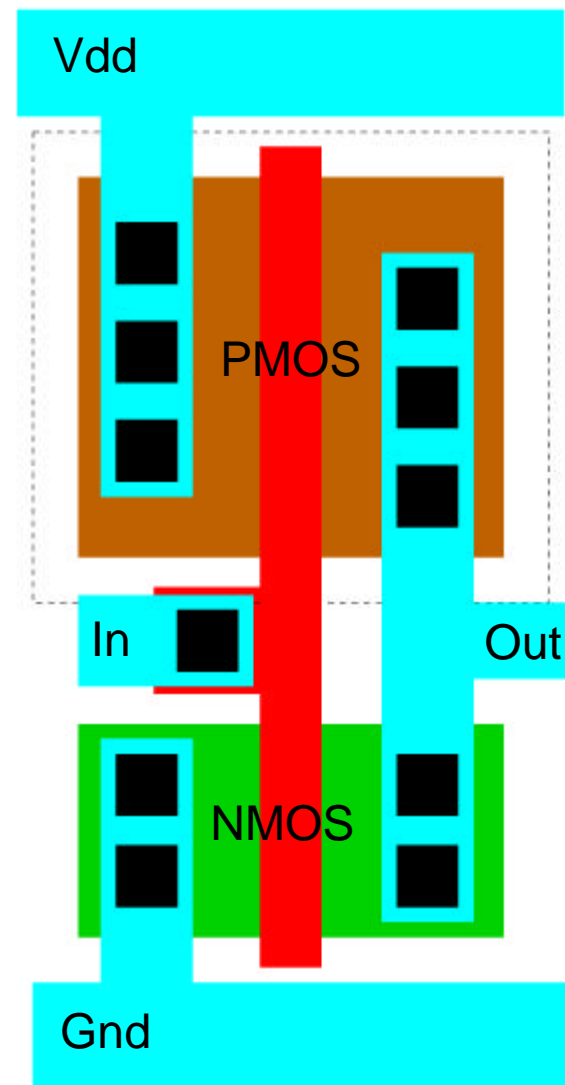
- Estructura de la puerta:



# Ejemplo: inversor

# Layout

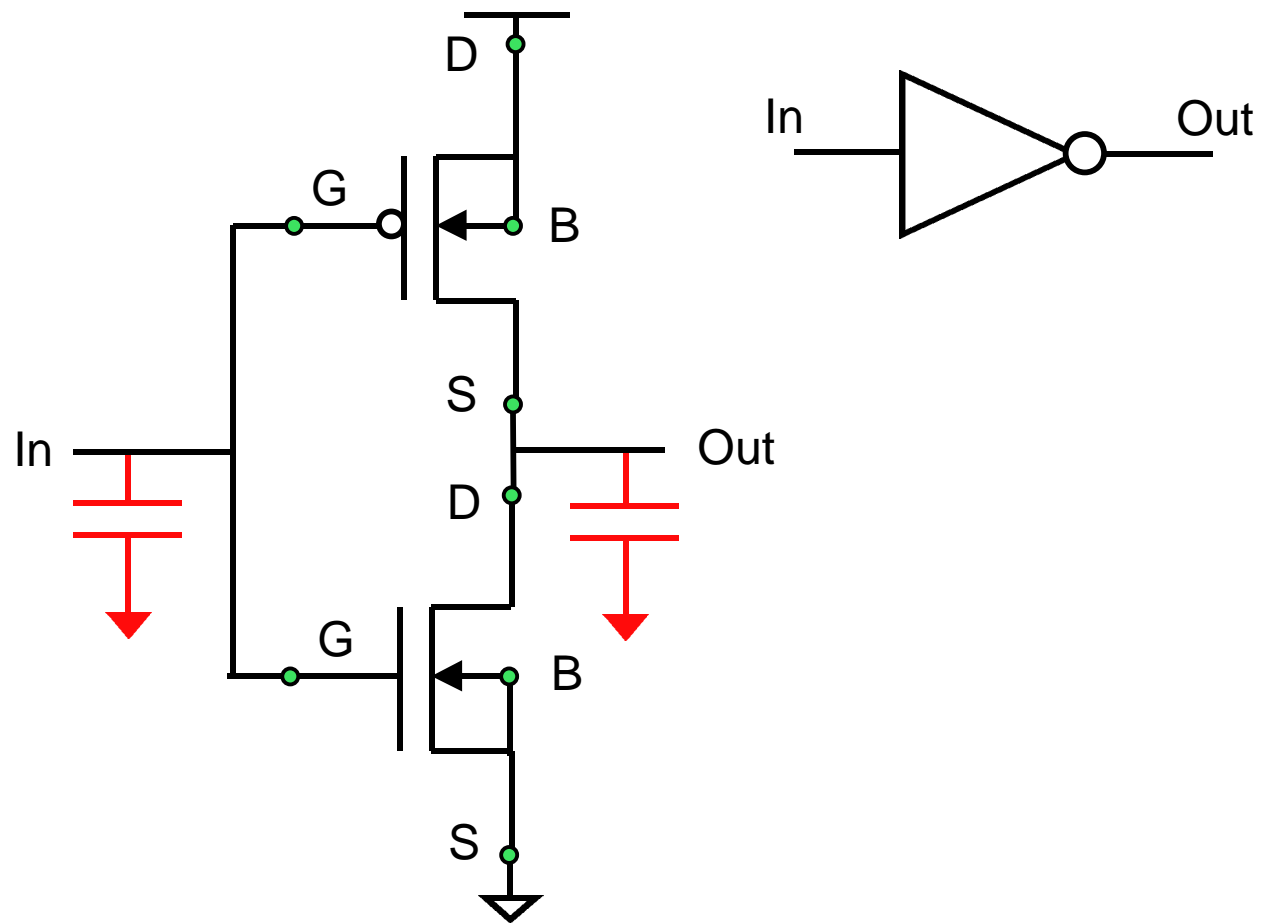
- Valores conocidos de L/W:
  - $L_p = 1\mu$   $W_p = 8\mu$
  - $L_n = 1\mu$   $W_n = 4\mu$
- Áreas:
  - $AD_p = AS_p = 8\mu * 6(0.5\mu) = 24p$
  - $AD_n = AS_n = 4\mu * 6(0.5\mu) = 12p$
- Perímetros:
  - $PD_p = PS_p = 2(8\mu + 6\mu) = 28\mu$
  - $PD_n = PS_n = 2(4\mu + 6\mu) = 20\mu$



# Ejemplo: inversor

---

- Estructura de la puerta:



# Ejemplo: inversor

# Modelo SPICE

---

\*CELDA INVERSORA In Out

**.SUBCKT *inv*** In Out 1 0

\*Transistor de pull-up de Out

**M1 1 In Out 1 tp L=1U W=8U AS=28P AD=28P PS=24U PD=24U**

\*Transistor de pull-down de Out

**M2 Out Pi 0 0 tn L=1U W=4U AS=20P AD=20P PS=12U PD=12U**

\*Capacidades entrada/salida

**C1 In 0 24P**

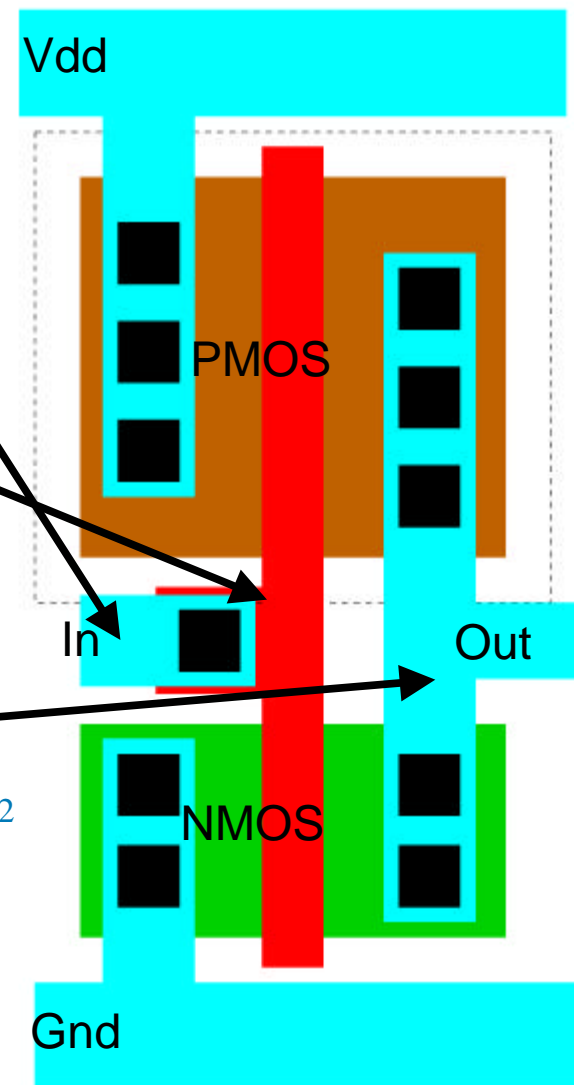
**C2 Out 0 10P**

**.ENDS *inv***

# Ejemplo: inversor

# Layout

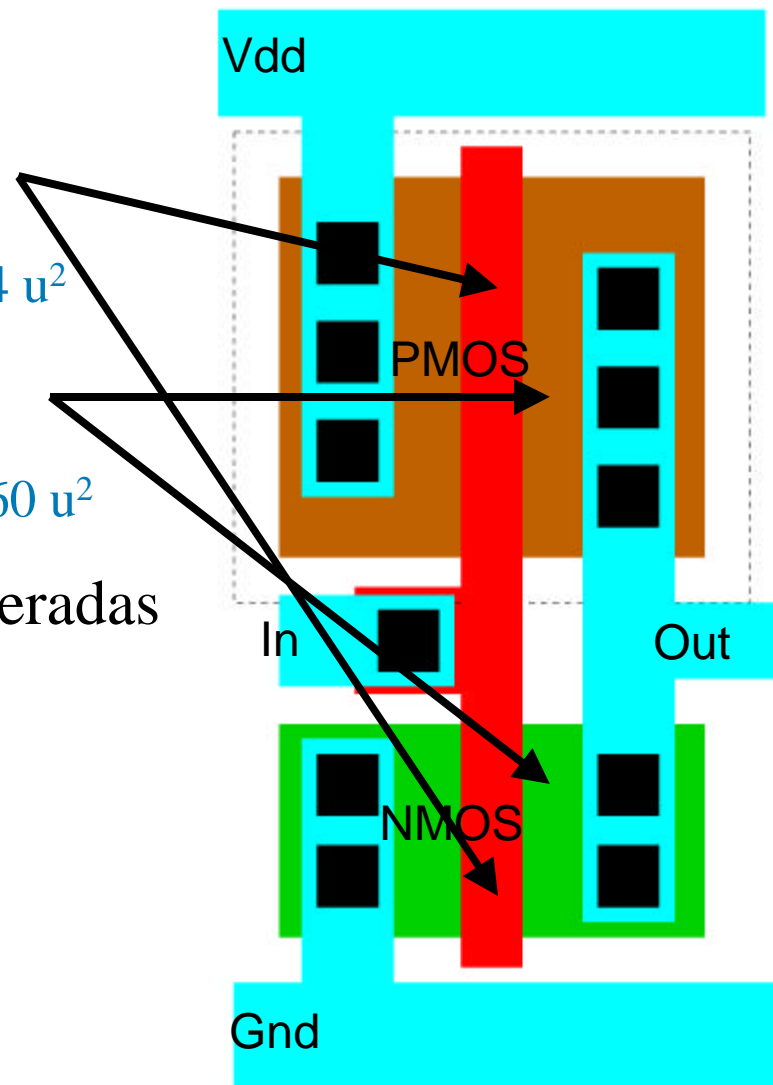
- Capacidad de entrada metal:
  - Área:  $5u * 2.5u = 12.5 u^2$
  - $C = 0.45 \text{ fF}$
- Capacidad de entrada poly:
  - Área:  $(3u * 3u) + (2u * 4u) = 17 u^2$
  - $C = 2.142 \text{ fF}$
- Capacidad de salida metal:
  - Área:  $(12u * 2.5u) + (3u * 2.5u) = 31.5 u^2$
  - $C = 1.134 \text{ fF}$



# Ejemplo: inversor

# Layout

- Capacidad de la puerta:
  - Área:  $(2u * 4u) + (2u * 8u) = 24 u^2$
- Capacidad de las difusiones:
  - Área:  $(5u * 4u) + (5u * 8u) = 60 u^2$
- Estas capacidades son consideradas directamente por SPICE.



# Ejemplo: inversor

# Simulación

---

\*Include de los modelos

```
.INCLUDE model.spi
```

```
.INCLUDE inv.spi
```

\*Puerta a simular

```
X1 In Out 1 0 inv
```

\*5v entre vdd y vss

```
VCC 1 0 DC 5V
```

\*Entradas variables

```
Vin In 0 pwl(0ns 0 3ns 0 3.5ns 5 6ns 5 6.5ns 0)
```

\*Duración de la simulación

```
.TRAN 1ns 10ns
```

```
.END
```

# Ejemplo: puerta compleja Layout

- Función:

F

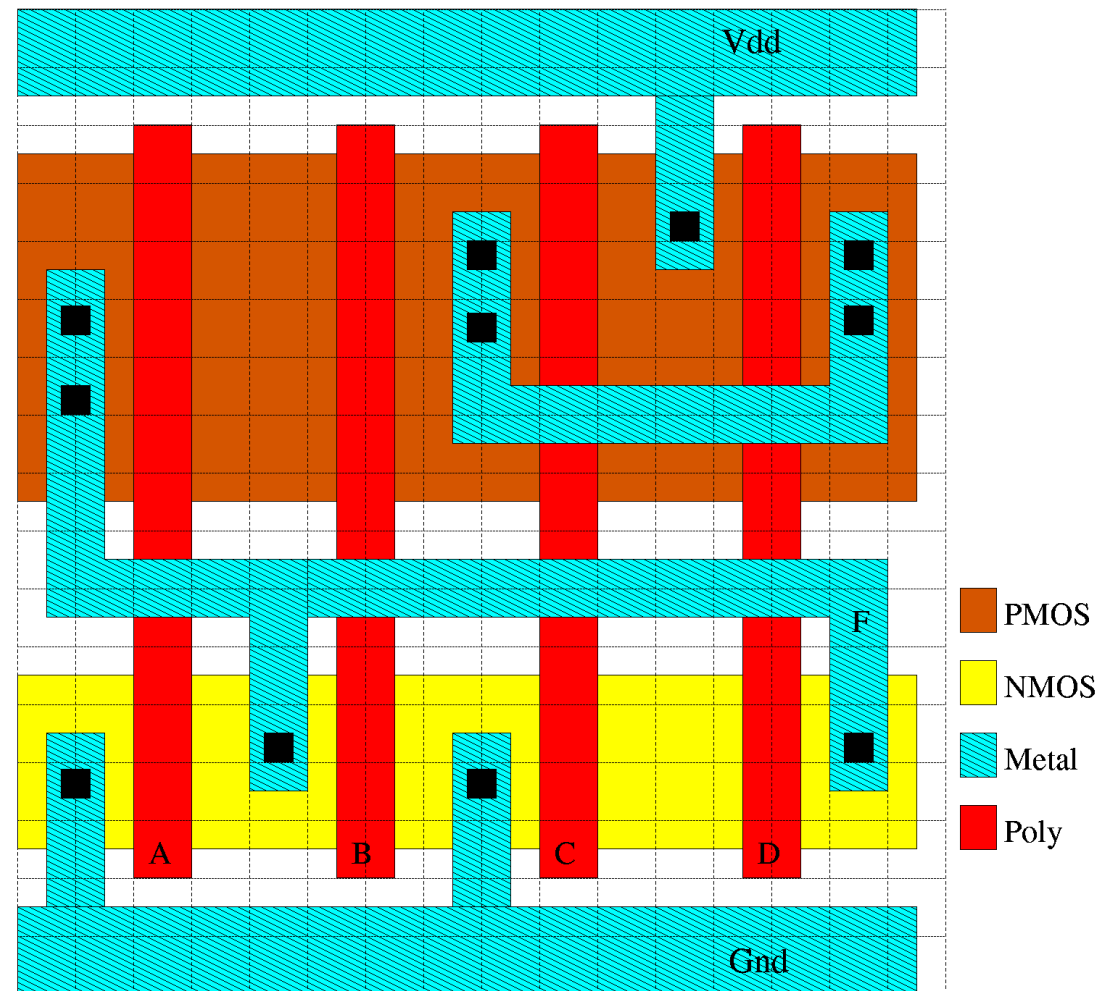
- Entradas:

A, B, C, D

- Objetivo:

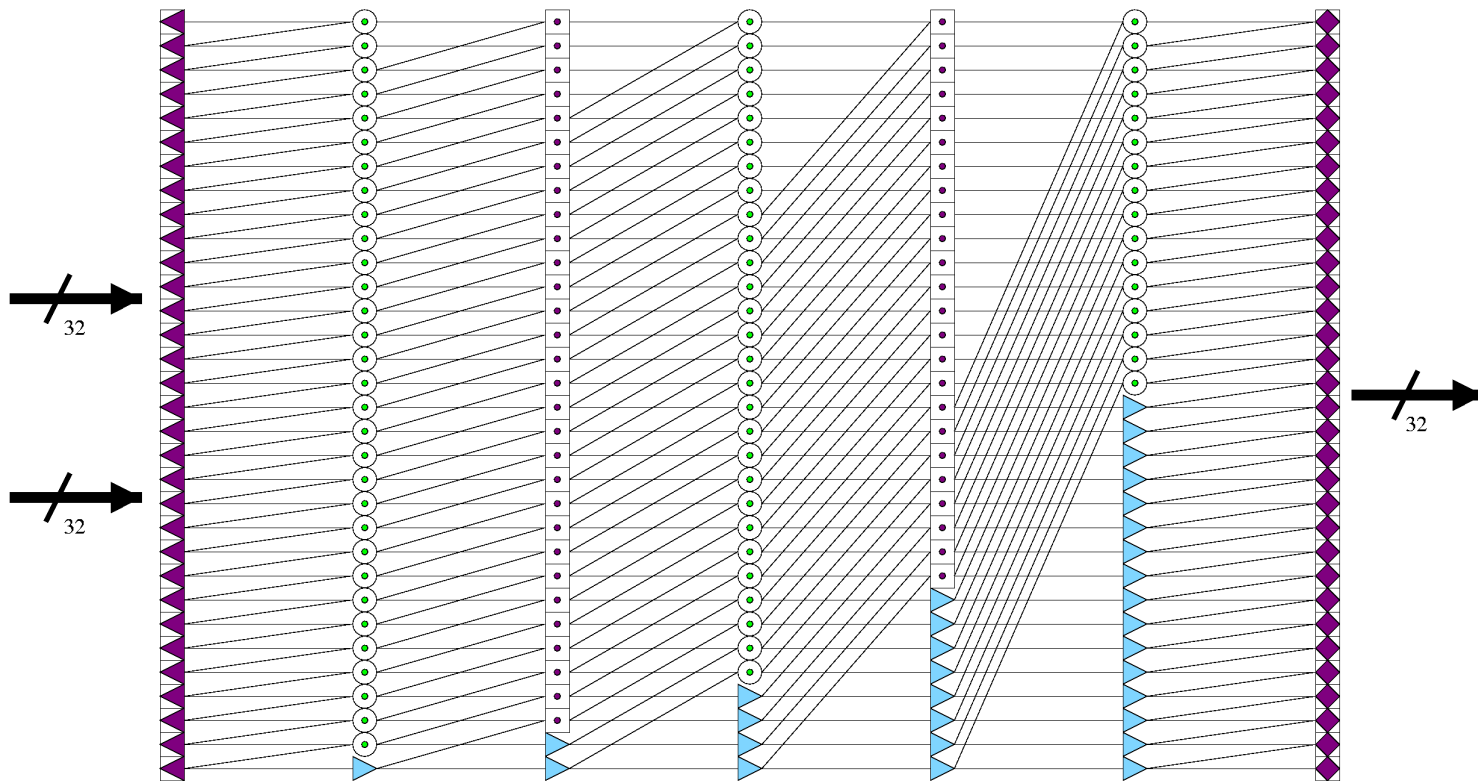
Extraer función

Capacidades parásitas

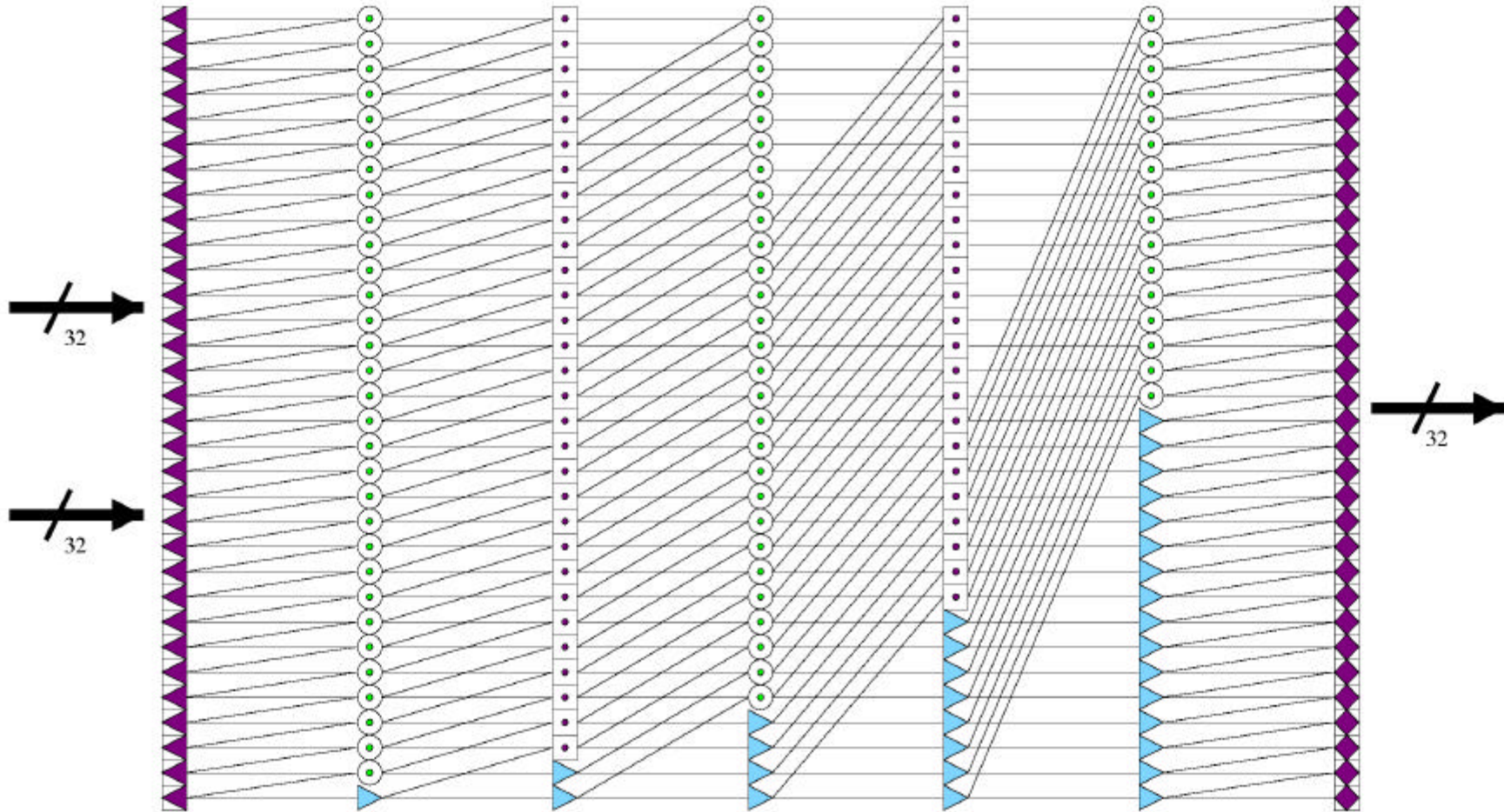


# Ejemplo: Brent-Kung Adder

- Sumador Brent-Kung de 32 bits:
  - Lógica CMOS estática.
  - Modelado con SPICE sin considerar conexiones.



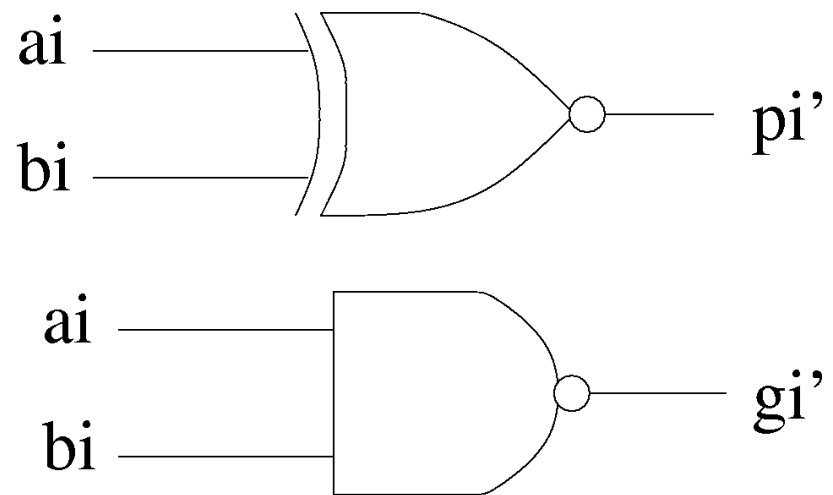
# Ejemplo: Brent-Kung Adder



# Ejemplo: Brent-Kung Adder

---

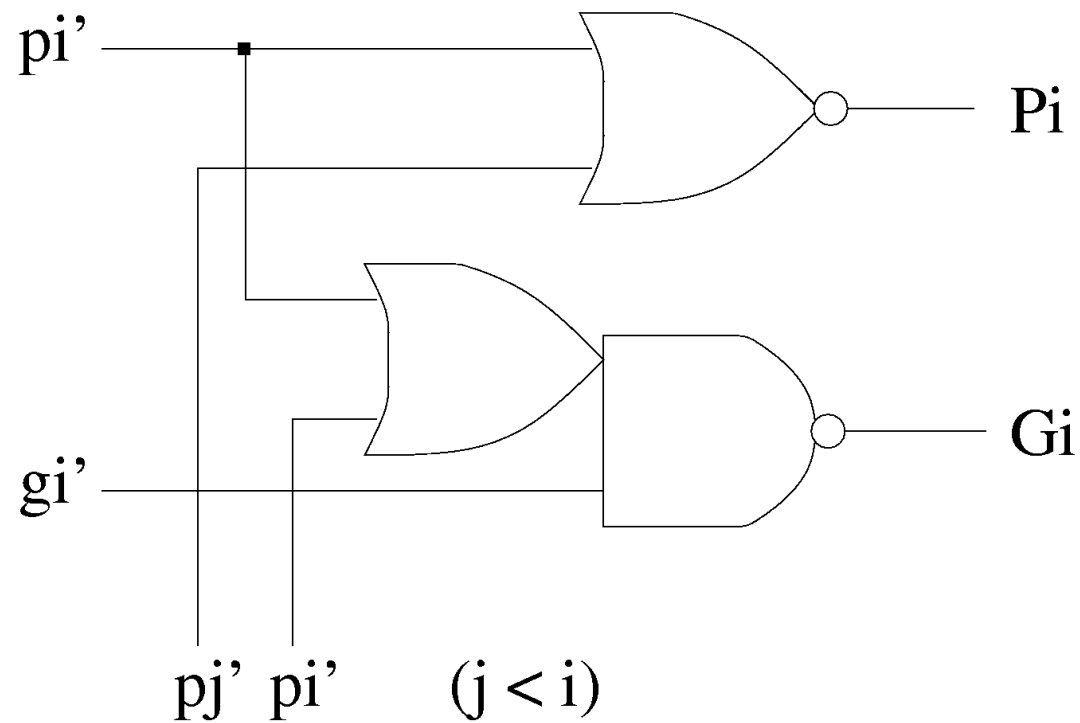
- Level 0: bits  $P_i'$  (propagación) y  $G_i'$  (generación)



# Ejemplo: Brent-Kung Adder

---

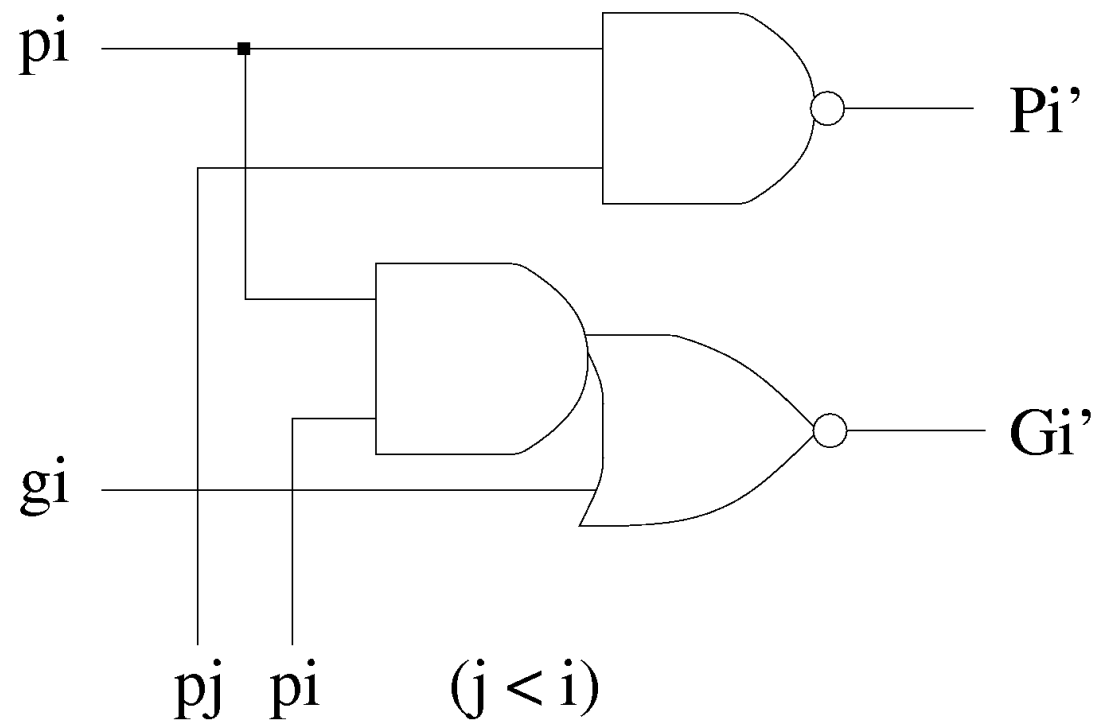
- Level 1: bits  $P_i$  (propagación) y  $G_i$  (generación)



# Ejemplo: Brent-Kung Adder

---

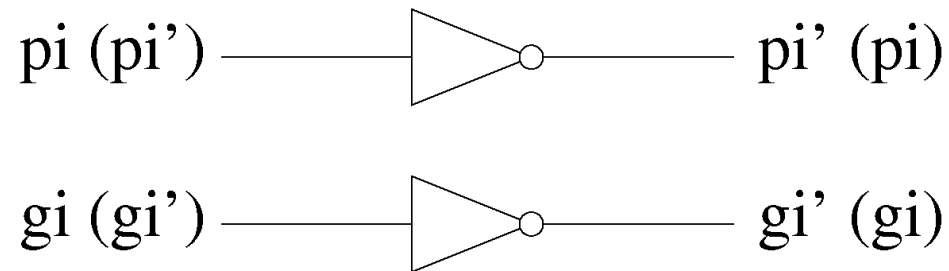
- Level 2: bits  $P_i$  (propagación) y  $G_i$  (generación)



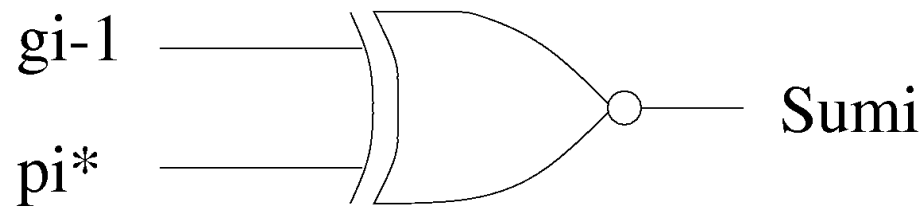
# Ejemplo: Brent-Kung Adder

---

- Buffers: negación bits **Pi** y **Gi**



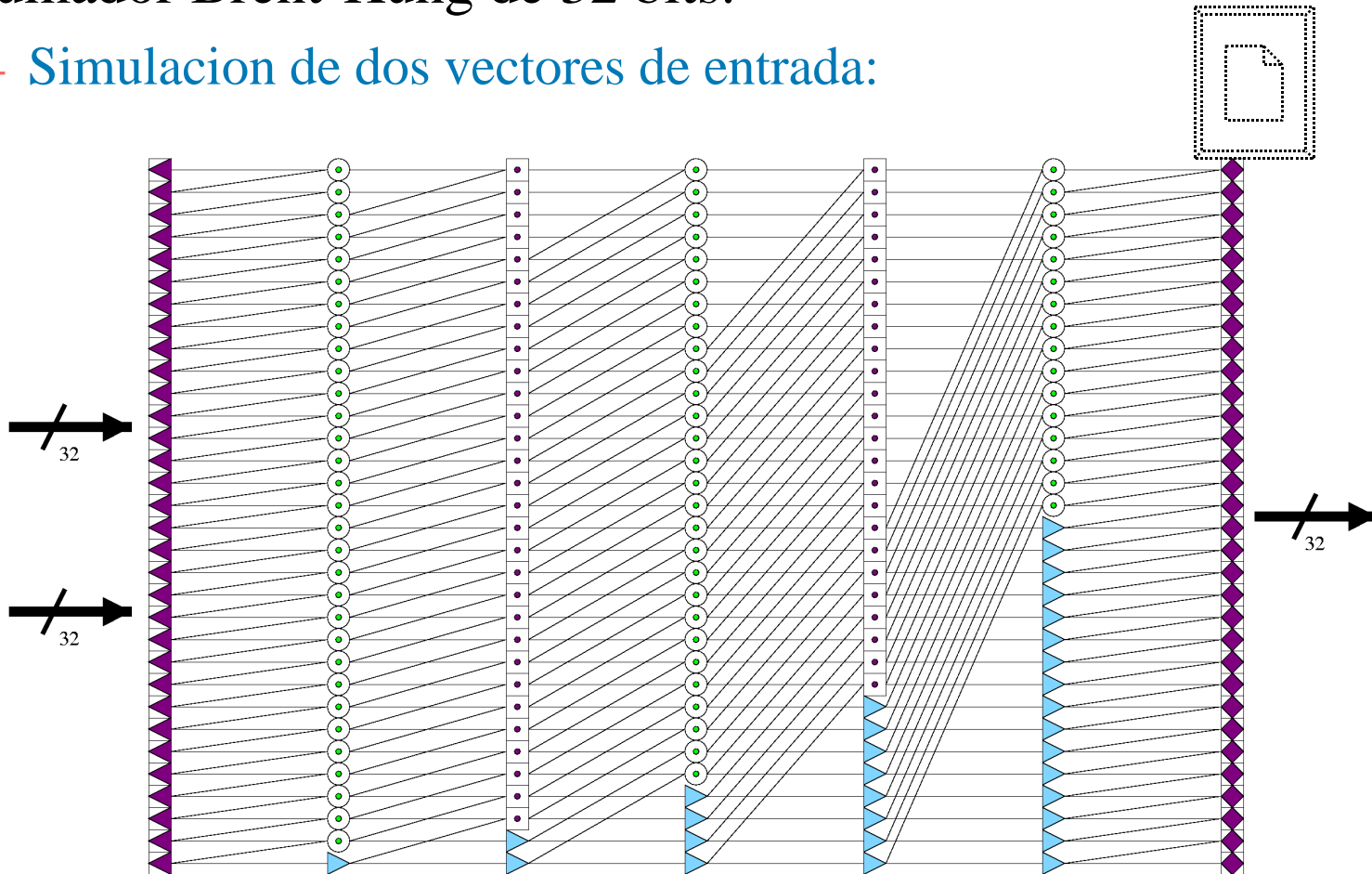
- Suma: generación suma final



(\* from level-0)

# Ejemplo: Brent-Kung Adder

- Sumador Brent-Kung de 32 bits:
  - Simulación de dos vectores de entrada:



# Conclusiones

---

- Simulación eléctrica de circuitos digitales.
- Nivel de detalle muy superior que en los simuladores lógicos:
  - Capacidades, resistencias, transistor.
  - Puede modelar líneas de transmisión.
- Tiempos de cálculo muy elevados.
- No modela otros fenómenos importantes:
  - Cross-talk.
  - Power consumption / energy.